

10/585512
1
AP20 Rec'd PCT/PTO 10 JUL 2006

明細書

駆動装置および駆動方法

技術分野

[0001] 本発明は、複数の出力信号を順次出力する駆動装置および駆動方法に関し、さらに詳しくは、液晶表示パネルや有機ELパネルなどの表示装置において複数の表示素子が接続された走査線を駆動するための駆動装置および駆動方法に関する。

背景技術

[0002] 図29は、従来の駆動装置の構成を示すブロック図である(例えば、特開2000-98339号公報)。この装置は、例えば、液晶表示パネルの走査線ドライバとして使用される。従来の駆動装置は、n個(nは正の整数)のフリップフロップFF-1～FF-nからなるシフトレジスタ10と、シフトレジスタ10からのn個の出力をレベル変換するためのn個のレベルシフタLS-1～LS-nと、n個の出力バッファOB-1～OB-nからなる出力回路20とを備える。また、n個の出力バッファOB-1～OB-nは、n個の駆動信号SX1～SXnを出力する。

[0003] 図30を参照して、図29に示した駆動装置による動作について説明する。

[0004] まず、端子11よりデータ(スタートパルス)が入力される。フリップフロップFF-1は、端子12に入力されたクロックに応じてスタートパルスを取り込む。また、フリップフロップFF-1は、クロックの立ち上がりエッジに同期して、端子Yより1パルス分のハイレベルの信号を出力する。一方、フリップフロップFF-1の端子Qから出力されたデータは、次段のフリップフロップFF-2の端子Dに入力される。このように、n個のフリップフロップFF-1～FF-nによってデータが順次受け渡されて、n個のフリップフロップFF-1～FF-nの各々の端子Yから1パルス分のハイレベルの信号が出力される。これらのハイレベルの信号は、n個のレベルシフタLS-1～LS-nによって、VG-G-VEEの振幅差を有する信号にレベル変換される。次に、これらのレベル変換された信号は、n個の出力バッファOB-1～OB-nでバッファリングされて、n個の駆動信号SX1～SXnとして出力される。このように、シフトレジスタ10からn個の信号が順次出力されることにより、駆動信号SX1～SXnが順次出力される。

[0005] 例えば、この駆動装置を液晶表示パネルの走査線ドライバとして使用する場合、これらの駆動信号SX1～SXnによって複数の走査電極ラインは順次アクティブになり、液晶表示パネルの表示画面は垂直方向にスキャンされていく。

特許文献1:特開2000-98339号公報

発明の開示

発明が解決しようとする課題

[0006] 近年、駆動装置に対して、出力数を増加させることやコストを低くすることが求められてきている。しかしながら、従来の駆動装置では、出力数を増加させることによって回路規模が増大し、コストが高くなってしまう。

[0007] 例えば、液晶表示パネルの高精細化の要求に伴って、走査線ドライバに対して多出力化が求められてきている。携帯電話で使用されるような小型の液晶表示パネルに対しても、大型の液晶表示パネルと同様に高精細化が求められてきている。

[0008] また、走査線ドライバやデータドライバなどのドライバICを液晶表示パネルに容易に実装することやコストを低くすることを目的として、携帯電話用の液晶表示パネルにおいては、ドライバICの1チップ化が主流になりつつある。液晶表示パネルの高精細化やドライバICの1チップ化により、ドライバICのチップ面積が非常に大きくなり、液晶表示パネルのコストが高くなる。すなわち、ドライバICには表示用コントローラ、グラフィックRAM、データドライバ、走査線ドライバが搭載されているので、高精細になればなるほど、回路規模が増大する。そこで、一般的に、半導体製造工程においてトランジスタを微細化することで、ドライバICの回路面積を削減している。

[0009] しかし、トランジスタの微細化によって回路規模を削減することには限界がある。一般的に、液晶表示パネルに供給すべき駆動信号の仕様は、液晶表示パネルの特性によって決定される。例えば、携帯電話用の液晶表示パネル上の液晶表示素子(一般的に、薄膜トランジスタTFTと液晶容量とから構成される素子)を駆動するためには、走査線ドライバに必要な駆動電圧として、オン電位(VGG)が「+15V程度」でありオフ電位(VEE)が「-15V程度」となる電位差を有する駆動信号が必要となる。したがって、駆動信号を供給する走査線ドライバは、この駆動信号に応じた耐圧を有するトランジスタによって構成する必要がある。このように、トランジスタのゲート長を縮

小することによってトランジスタの耐圧が低くなってしまうので、トランジスタの微細化には限界がある。

[0010] そこで、本発明は、駆動装置の回路規模を低減することを目的とする。

課題を解決するための手段

[0011] この発明の1つの局面に従うと、駆動装置は、第1および第2の生成部と、 $(k \times m)$ 個の出力回路とを備える。第1の生成部は、第1のクロックに応じて、 k 個の第1の信号を、順次、非出力状態から出力状態にする。 k は自然数である。第2の生成部は、第2のクロックに応じて、 m 個の第2の信号を、順次、非出力状態から出力状態にする。 m は自然数である。 $(k \times m)$ 個の出力回路は、 k 個のグループに分けられる。 k 個のグループの各々には、 m 個の出力回路が属する。 k 個の第1の信号は、 k 個のグループに対応する。 m 個の第2の信号は、 k 個のグループの各々に属する m 個の出力回路に対応する。 $(k \times m)$ 個の出力回路の各々は、自己が属するグループに対応する第1の信号が出力状態である場合、自己に対応する第2の信号が出力状態になると、その第2の信号を出力する。 $(k \times m)$ 個の出力回路の各々は、自己が属するグループに対応する第1の信号が非出力状態である場合、自己に対応する第2の信号が出力状態であっても、その第2の信号を出力しない。

[0012] 上記駆動装置では、 k 個の出力を有する第1の生成部と m 個の出力を有する第2の生成部とを組み合わせることによって、 $(k \times m)$ 個の駆動信号を順次出力する。つまり、駆動装置の前段部における出力数を削減することができる。これにより、駆動装置の回路規模を低減することができる。

[0013] 好ましくは、上記第2の生成部は、上記 k 個の第1の信号のうちいずれか1つが出力状態である間に、上記第2のクロックに応じて、上記 m 個の第2の信号を、順次、非出力状態から出力状態にする。

[0014] 好ましくは、上記 $(k \times m)$ 個の出力回路の各々は、出力端子と、第1の入力端子と、第1のスイッチと、第2の入力端子と、第2のスイッチとを含む。第1の入力端子は、その出力回路に対応する第2の信号を受ける。第1のスイッチは、出力端子と第1の入力端子との間に接続され、その出力回路に対応する第1の信号の状態に応じてオン／オフする。第2の入力端子は、上記第2の信号の非出力状態に相当する所定電圧

を受ける。第2のスイッチは、出力端子と第2の入力端子との間に接続され、その出力回路に対応する第1の信号の状態に応じてオン／オフする。

- [0015] 好ましくは、上記第1の生成部は、直列に接続されたk個の第1フリップフロップを含む。上記第2の生成部は、直列に接続されたm個の第2フリップフロップを含む。
- [0016] 好ましくは、上記駆動装置は、論理回路をさらに備える。論理回路は、上記第1の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける。論理回路は、制御信号の有無に応じて、上記第1の生成部からのk個の第1の信号をすべて同時に非出力状態にする。
- [0017] 上記駆動装置では、制御信号によって($k \times m$)個の出力回路からの出力を制限することができる。これにより、例えば、液晶表示パネルにおいて所定のラインだけ表示させる(または、その所定ラインに表示されている画像を更新する)ことができる。つまり、部分表示機能を実現することができる。
- [0018] 好ましくは、上記駆動装置は、論理回路をさらに備える。論理回路は、上記第2の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける。論理回路は、制御信号の有無に応じて、上記第2の生成部からのm個の第2の信号をすべて同時に非出力状態にする。
- [0019] 好ましくは、上記駆動装置は、第1および第2のセレクタをさらに備える。第1のセレクタは、上記k個の第1フリップフロップのうち先頭からs番目の第1フリップフロップと($s + 1$)番目の第1フリップフロップとの間に接続される。sは自然数であり、 $1 \leq s < (k - 2)$ である。第2のセレクタは、上記k個の第1フリップフロップのうち先頭からt番目の第1フリップフロップと($t + 1$)番目の第1フリップフロップとの間に接続される。tは自然数であり、 $s < t \leq (k - 1)$ である。第1および第2のセレクタは、第1および第2のモードを有する。第1のモードでは、第1のセレクタは、上記s番目の第1フリップフロップからの出力を上記($s + 1$)番目の第1フリップフロップへ出力する。第2のセレクタは上記t番目の第1フリップフロップからの出力を上記($t + 1$)番目の第1フリップフロップへ出力する。第2のモードでは、第1のセレクタは上記s番目の第1フリップフロップからの出力を第2のセレクタへ出力する。第2のセレクタは第1のセレクタからの出力を上記($t + 1$)番目の第1フリップフロップへ出力する。

[0020] 上記駆動装置では、セレクタの動作モードを変更することによって($k \times m$)個の出力回路からの出力を制限することができる。これにより、例えば、液晶表示パネルにおいて所定のラインだけ表示させない(または、その所定ラインに表示されている画像を更新しない)ことが可能となる。つまり、部分表示機能を実現することができる。

[0021] 好ましくは、上記駆動装置は、第1および第2のモードを有する選択回路をさらに備える。選択回路は、第1のモードでは、上記m個の第2フリップフロップのうち先頭からy番目の第2フリップフロップからの出力をy番目の第2の信号として出力し、(y+1)番目の第2フリップフロップからの出力を(y+1)番目の第2の信号として出力する。yは奇数の自然数であり、mは偶数の自然数であり、 $1 \leq y \leq (m-1)$ である。選択回路は、第2のモードでは、y番目の第2フリップフロップからの出力をy番目および(y+1)番目の第2の信号として同時に出力し、(y+1)番目の第2フリップフロップからの出力を出力しない。

[0022] 上記駆動装置では、セレクタの動作モードによって同時に複数の駆動信号を出力することができる。例えば、液晶表示パネルにおいて複数のラインを同時にアクティブにすることができます。

[0023] 好ましくは、上記駆動装置は、論理回路をさらに備える。論理回路は、上記第1の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける。上記論理回路は、制御信号の有無に応じて、上記第1の生成部からのk個の第1の信号をすべて同時に出力状態にする。

[0024] 上記駆動装置では、同時に複数の駆動信号を出力することができる。

[0025] 好ましくは、上記駆動装置は、論理回路をさらに備える。論理回路は、上記第2の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける。論理回路は、制御信号の有無に応じて、上記第2の生成部からのm個の第2の信号をすべて同時に出力状態にする。

[0026] 好ましくは、上記駆動装置は、論理回路を備える。論理回路は、上記第1の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号の有無に応じて動作する。制御信号は、上記k個の第2の信号のうちいずれか1つが出力状態になってから次の第2の信号が出力状態になるまでの期間において、その期間よりも短い

所定期間だけ出力される。上記論理回路は、制御信号を受けると、上記第1の生成部からのk個の第1の信号をすべて同時に非出力状態にする。

- [0027] 上記駆動装置では、ある1つの駆動信号が出力されているときに、本来必要でない他の駆動信号が出力されることを防止することができる。これにより、例えば、液晶表示パネルにおいてある1つのラインに画像の書き込みが実行されているときに、そのラインとは別のラインに誤って画像が書き込まれることを防ぐことができる。
- [0028] 好ましくは、上記駆動装置は、論理回路を備える。論理回路は、上記第2の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号の有無に応じて動作する。制御信号は、上記k個の第2の信号のうちいずれか1つが出力状態になってから次の第2の信号が出力状態になるまでの期間において、その期間よりも短い所定期間だけ出力される。論理回路は、制御信号を受けると、上記第2の生成部からのm個の第2の信号をすべて同時に非出力状態にする。
- [0029] 好ましくは、上記駆動装置は、論理回路を備える。論理回路は、上記第1および第2の生成部と上記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける。上記論理回路は、上記制御信号の有無に応じて、上記第1の生成部からのk個の第1の信号をすべて同時に出力状態にするとともに、上記第2の生成部からのm個の第2の信号をすべて同時に出力状態にする。
- [0030] 上記駆動装置では、例えば、表示パネルのゲートラインをすべて同時に活性化させることができる。これにより、表示パネルの液晶素子に蓄積された電荷を一気に放電することができる。
- [0031] 好ましくは、上記($k \times m$)個の出力回路の各々は、外部からの制御信号を受ける。上記($k \times m$)個の出力回路の各々は、選択部をさらに含む。選択部は、制御信号の有無に応じて、上記出力端子に与えられた信号および上記第2の信号の出力状態に相当する所定電圧のうちいずれか一方を出力する。
- [0032] この発明のもう1つの局面に従うと、駆動方法は、k個のグループに分けられる($k \times m$)個の出力端子から駆動信号を順次出力する。k, mは自然数である。上記k個のグループの各々にはm個の出力端子が属する。第1のクロックに応じて、k個のグループに対応するk個の第1の信号を、順次、非出力状態から出力状態にする。第2の

クロックに応じて、 k 個のグループの各々に含まれる m 個の出力端子に対応する m 個の第2の信号を、順次、非出力状態から出力状態にする。 $(k \times m)$ 個の出力端子の各々において、その出力端子が属するグループに対応する第1の信号が出力状態である場合、その出力端子に対応する第2の信号が出力状態になると、その出力端子からその第2の信号を駆動信号として出力する。 $(k \times m)$ 個の出力端子の各々において、その出力端子が属するグループに対応する第1の信号が非出力状態である場合、その出力端子に対応する第2の信号が出力状態であっても、その出力端子からその第2の信号を駆動信号として出力しない。

発明の効果

[0033] 以上のように、 k 個の出力を有する第1の生成部と m 個の出力を有する第2の生成部とを組み合わせることによって、 $(k \times m)$ 個の駆動信号を順次出力する。つまり、駆動装置の前段部における出力数を削減することができる。これにより、駆動装置の回路規模を低減することができる。

図面の簡単な説明

[0034] [図1]図1は、この発明の第1の実施形態による駆動装置の全体構成を示すブロック図である。

[図2]図2は、図1に示した出力回路の内部構成を示す回路図である。

[図3]図3は、図1に示した駆動装置による動作について説明するためのタイミングチャートである。

[図4]図4は、この発明の第2の実施形態による駆動装置の全体構成を示すブロック図である。

[図5]図5は、図4に示した駆動装置による動作について説明するためのタイミングチャートである。

[図6]図6は、図4に示した駆動装置の変形例を示すブロック図である。

[図7]図7は、図4に示した駆動装置の変形例を示すブロック図である。

[図8]図8は、図4に示した駆動装置の変形例を示すブロック図である。

[図9]図9は、図4に示した駆動装置の変形例を示すブロック図である。

[図10]図10は、図4に示した駆動装置の変形例を示すブロック図である。

[図11]図11は、この発明の第3の実施形態で用いられる信号生成部の内部構成を示すブロック図である。

[図12]図12は、この発明の第3の実施形態の駆動装置による動作について説明するためのタイミングチャートである。

[図13]図13は、この発明の第4の実施形態による駆動装置の全体構成を示すブロック図である。

[図14]図14は、図13に示した駆動装置による動作について説明するためのタイミングチャートである。

[図15]図15は、図13に示した駆動装置の変形例を示すブロック図である。

[図16]図16は、この発明の第5の実施形態による駆動装置の全体構成を示すブロック図である。

[図17]図17は、図16に示した駆動装置による動作について説明するためのタイミングチャートである。

[図18]図18は、図16に示した駆動装置の変形例を示すブロック図である。

[図19]図19は、図16に示した駆動装置の変形例を示すブロック図である。

[図20]図20は、図19に示した駆動装置による動作について説明するためのタイミングチャートである。

[図21]図21は、図16に示した駆動装置の変形例を示すブロック図である。

[図22]図22は、この発明の第6の実施形態による駆動装置の全体構成を示すブロック図である。

[図23]図23は、図22に示した駆動装置による動作について説明するためのタイミングチャートである。

[図24]図24は、図22に示した駆動装置の変形例を示すブロック図である。

[図25]図25は、この発明の第7の実施形態による駆動装置の全体構成を示すブロック図である。

[図26]図26は、図25に示した駆動装置による動作について説明するためのタイミングチャートである。

[図27]図27は、この発明の第8の実施形態による駆動装置の全体構成を示すブロック

ク図である。

[図28]図28は、図27に示した出力回路の内部構成を示す回路図である。

[図29]図29は、従来の駆動装置の全体構成を示すブロック図である。

[図30]図30は、図29に示した駆動装置による動作について説明するためのタイミングチャートである。

符号の説明

- [0035] 101 ドライブ信号入力端子
- 102 クロック入力端子
- 103 リセット信号入力端子
- 104, 105, 402 分周回路
- 106, 107 信号生成部
- 108 出力部
- 116, 117 シフトレジスタ
FFa-1～FFa-k, FFb-1～FFb-m フリップフロップ
- LSa-1～LSa-k, LSb-1～LSb-m レベルシフタ
- OBa-1～OBa-k, OBb-1～OBb-m 出力バッファ
- X1～Xkm 出力回路
- 120s データ信号入力端子
- 120b イネーブル信号入力端子
- 121 オフ電圧入力端子
- MN124, MP124, MN125 トランジスタ
- OUT 出力端子
- 200, 500, 600、700, 800 制御信号入力端子
- 201, 501, 601 論理回路
201-1～201-k, 201-1～201-m AND回路
- 301, 302, 401-1～401-p, 403-1～403-p セレクタ
- 501-1～501-k, 501-1～501-m, 701a-1～701a-k, 701b-1～701b-m OR回路
- 601-1～601-k, 601-1～601-m NOR回路

80 選択回路

81 選択部

82 インバータ

MN83, MP83, MN84 トランジスタ

85 オン電圧入力端子

OUT' 出力端子

発明を実施するための最良の形態

[0036] 以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一の符号を付しその説明は繰り返さない。

[0037] (第1の実施形態)

図1は、この発明の第1の実施形態による駆動装置の構成を示す。この装置は、例えば、液晶表示パネルの走査線ドライバとして使用される。この装置は、ドライブ信号入力端子101と、クロック入力端子102と、リセット信号入力端子103と、分周回路104, 105と、信号生成部106, 107と、出力部108とを備える。ドライブ信号入力端子101は、外部からのドライブ信号(スタートパルス)を入力する。クロック入力端子102は、外部からのクロックを入力する。リセット信号入力端子103は、外部からのリセット信号を入力する。分周回路104は、ドライブ信号入力端子101に入力されたスタートパルスを所定のサイクル分だけ分周する。分周回路105は、クロック入力端子102に入力されたクロックを所定のサイクル分だけ分周する。信号生成部106は、分周回路104によって分周されたスタートパルスと分周回路105によって分周されたクロックとに応じて、k個(kは自然数)のイネーブル信号s1～skを出力する。信号生成部107は、ドライブ信号入力端子101に入力されたスタートパルスとクロック入力端子102に入力されたクロックとに応じて、m個(mは自然数)のデータ信号b1～bmを出力する。

[0038] <出力部の内部構成>

出力部108は、(k×m)個の出力回路を含む。(k×m)個の出力回路は、k個のグループGr1～Grkに分けられる。グループGr1～Grkの各々には、m個の出力回路が属する。例えば、m個の出力回路X1～XmはグループGr1に属する。m個の出力回路Xm+1～X2mはグループGr2に属する。m個の出力回路X(k-1)m+1～X

kmはグループGrkに属する。

- [0039] k個のグループGr1～Grkは、k個のイネーブル信号s1～skに対応する。グループGr1はイネーブル信号s1に対応する。グループGr2はイネーブル信号s2に対応する。グループGrkはイネーブル信号skに対応する。
- [0040] グループGr1～Grkの各々に属するm個の出力回路は、m個のデータ信号b1～bmに対応する。出力回路X1, Xm+1, X(k-1)m+1はデータ信号b1に対応する。出力回路X2, Xm+2, X(k-1)m+2はデータ信号b2に対応する。出力回路Xm, X2m, Xkmはデータ信号bmに対応する。
- [0041] (k×m)個の出力回路の各々は、自己が属するグループに対応するイネーブル信号と自己に対応するデータ信号とに応じて、駆動信号を出力する。
- [0042] <出力回路とイネーブル信号およびデータ信号との関係>
出力回路とイネーブル信号およびデータ信号との関係について具体的に説明する。ここで、m=16, k=20であるとする。まず、320個の出力回路を、16個を1つのグループとして合計20個のグループに分ける。このとき、出力回路X1～X16はグループGr1に属し、出力回路X17～X32はグループGr2に属し、出力回路X305～X320がグループGr20に属する。
- [0043] 信号生成部106からのイネーブル信号s1～s20を320個の出力回路に接続する。イネーブル信号s1はグループGr1に属する出力回路X1～X16に接続される。イネーブル信号s2はグループGr2に属する出力回路X17～X32に接続される。以降は全く同様にして、イネーブル信号s20はグループGr20に属する出力回路X305～X320に接続される。
- [0044] 信号生成部107からのデータ信号b1～b16を320個の出力回路に接続する。データ信号b1は、グループGr1～Gr20の各々に属する16個の出力回路のうち数字が1番小さい出力回路X1, X17, …, X305に接続される。データ信号b2は、グループGr1～Gr20の各々に属する16個の出力回路のうち数字が2番目に小さい出力回路X2, X18, …, X306に接続される。以降は全く同様にして、データ信号b16は、グループGr1～Gr20の各々に属する16個の出力回路のうち数字が1番大きい出力回路X16, X32, …, X320に接続される。

[0045]

<出力回路の内部構成>

図2は、図1に示した出力回路の内部構成を示す。出力回路は、イネーブル信号入力端子120sと、データ信号入力端子120bと、オフ電圧入力端子121と、出力端子OUTと、インバータ123と、トランジスタMN124, MP124, MN125とを含む。イネーブル信号入力端子120sは、この出力回路に対応するイネーブル信号を受ける。データ信号入力端子120bは、この出力回路に対応するデータ信号を受ける。オフ電圧入力端子121は、基準電圧VEEを受ける。トランジスタMN124, MP124は、トランジスタを構成する。トランジスタMN124は、データ信号入力端子120bと出力端子OUTとの間に接続され、イネーブル信号入力端子120sからの信号をゲートに受ける。トランジスタMP124は、データ信号入力端子120bと出力端子OUTとの間に接続され、インバータ123からの信号をゲートに受ける。トランジスタMN125は、オフ電圧入力端子121と出力端子OUTとの間に接続され、インバータ123からの信号をゲートに受ける。

[0046]

イネーブル信号入力端子120sに供給されたイネーブル信号が「ハイレベル」である場合、トランジスタを構成するトランジスタMN124, MP124が導通状態になるので、データ信号入力端子120bに供給されたデータ信号が出力端子OUTから出力される。一方、イネーブル信号入力端子に供給されたイネーブル信号が「ローレベル」である場合、トランジスタを構成するトランジスタMN124, MP124が非導通状態となりトランジスタMN125が導通状態になるので、基準電圧VEEが出力端子OUTから出力される。

[0047]

ここで、駆動装置(走査線ドライバ)において使用される電圧レベルの一例をあげると、システム電源電圧VDDは「1.8V」でありシステム接地電圧VSSは「0V」であり、液晶表示パネルの薄膜トランジスタを駆動するために必要となるオン電圧VGGは「+15V」でありオフ電圧VEEは「-15V」である。

[0048]

<信号生成部の内部構成>

信号生成部106は、シフトレジスタ116と、k個のレベルシフタLSa-1～LSa-kと、k個の出力バッファOBa-1～OBa-kとを含む。シフトレジスタ116は、直列に接続されたk個のフリップフロップFFa-1～FFa-kを含む。フリップフロップFFa-1

～FFa-kの各々は、分周回路104からのスタートパルス(または、前段のフリップフロップの出力端子Qからの出力)をデータ端子Dに受け、分周回路105からのクロックをクロック端子CKに受け、リセット信号入力端子103からのリセット信号をリセット端子Rに受ける。レベルシフタLSa-1～LSa-kの各々は、自己に対応するフリップフロップからの出力をロジック電圧レベルのVDD-VSSの振幅を有する信号から液晶表示素子の駆動に必要な電圧であるVGG-VEEの振幅を有する信号へと変換する。出力バッファOBa-1～OBa-kの各々は、自己に対応するレベルシフタからの出力をバッファする。

[0049] 信号生成部107は、シフトレジスタ117と、m個のレベルシフタLSb-1～LSb-mと、m個の出力バッファOBb-1～OBb-mとを含む。シフトレジスタ117は、直列に接続されたm個のフリップフロップFFa-1～FFa-mを含む。フリップフロップFFb-1～FFb-kの各々は、ドライブ信号入力端子101からのスタートパルス(または、前段のフリップフロップの出力端子Qからの出力)をデータ端子Dに受け、クロック入力端子102からのクロックをクロック端子CKに受け、リセット信号入力端子103からのリセット信号をリセット端子Rに受ける。レベルシフタLSb-1～LSb-mの各々は、自己に対応するフリップフロップからの出力をロジック電圧レベルのVDD-VSSの振幅を有する信号から液晶表示素子の駆動に必要な電圧であるVGG-VEEの振幅を有する信号へと変換する。出力バッファOBb-1～OBb-mの各々は、自己に対応するレベルシフタからの出力をバッファする。

[0050] <各回路の構成>

なお、ここでは、分周回路104、分周回路105、フリップフロップFFa-1～FFa-k、フリップフロップFFb-1～FFb-mの各々は、低耐圧トランジスタで構成される。また、レベルシフタLSa-1～LSa-k、出力バッファOBa-1～OBa-k、レベルシフタLSb-1～LSb-m、出力バッファOBb-1～OBb-m、出力部108の($k \times m$)個の出力回路の各々は、高耐圧トランジスタで構成される。

[0051] 低耐圧トランジスタの耐圧は、例えば、3V程度であれば良い。高耐圧トランジスタの耐圧は、30V程度必要になる場合がある。一般的に、高耐圧トランジスタの面積は、低耐圧トランジスタの面積と比較して、大きくなる。

[0052] <動作>

図3を参照して、図1に示した駆動装置による動作について説明する。

[0053] まず、ドライブ信号入力端子101にスタートパルスが入力されると、信号生成部107は、クロック入力端子102に入力されたクロックパルスに同期してデータ信号b1～bmを順次出力する(順次「ハイレベル」にする)。一方、信号生成部106は、分周回路105によって分周されたクロックに同期してイネーブル信号s1を出力する。分周回路105における分周の周期は、1つのイネーブル信号が「ハイレベル」である期間中にm個のデータ信号が順次「ハイレベル」になるように設定される。すなわち、1つのデータ信号が立ち上がってから次のデータ信号が立ち上がるまでの期間を「1サイクル」とすると、1つのイネーブル信号は、「mサイクル」の間、「ハイレベル」になっている。したがって、イネーブル信号s1が「ハイレベル」である間、グループGr1に属する出力回路X1～Xmは、データ信号b1～bmを駆動信号として順次出力する。ここで、駆動信号は、「ハイレベル」がオン電圧VGGであり、「ローレベル」がオフ電圧VEEである。

[0054] 次のスタートパルスがドライブ信号入力端子101に入力されると、信号生成部107は、再び、データ信号b1～bmを順次出力する。一方、信号生成部106は、次のイネーブル信号s2を出力する。これにより、グループGr2に属する出力回路Xm+1～X2mは、データ信号b1～bmを駆動信号として出力する。

[0055] 以降、スタートパルスが入力される毎に、データ信号b1～bmが順次出力されるとともに、次のイネーブル信号がmサイクルの間「ハイレベル」になる。

[0056] 最後に、k個目のスタートパルスが入力されると、出力回路X(k-1)m+1～Xkmは、データ信号b1～bmを駆動信号として出力する。

[0057] このようにして、(k×m)個の出力回路のすべてから駆動信号が順次出力される。

[0058] <具体例>

次に、駆動装置による動作について具体的に説明する。ここで、m=16, k=20とする。

[0059] 1個目のスタートパルスが入力されると、データ信号b1～b16は、順次出力される。一方、イネーブル信号s1は、16サイクルの間、「ハイレベル」になる。他のイネーブル

信号s2～s20は「ローレベル」のままである。したがって、出力回路X1～X16は、駆動信号を順次出力する。一方、出力回路X17～X320の各々は、自己に対応するイネーブル信号が入力されていないので、データ信号が入力されても駆動信号を出力しない。

- [0060] 続いて、2個目のスタートパルスが入力されると、データ信号b1～b16は、再び、順次出力される。一方、イネーブル信号s2は、16サイクルの間、「ハイレベル」になる。他のイネーブル信号s1, s3～s20は「ローレベル」のままである。したがって、出力回路X17～X32は、駆動信号を順次出力する。一方、出力回路X1～X16, X33～X320の各々は、自己に対応するイネーブル信号が入力されていないので、データ信号が入力されても駆動信号を出力しない。
- [0061] 最後に、20個目のスタートパルスが入力されると、データ信号b1～b16が順次出力され、イネーブル信号s20は、16サイクルの間、「ハイレベル」になる。したがって、出力回路X305～X320は、駆動信号を順次出力する。一方、出力回路X1～X304の各々は、自己に対応するイネーブル信号が入力されていないので、データ信号が入力されても駆動信号を出力しない。これにより、320サイクルの間に、320個の出力回路X1～X320から駆動信号が順次出力されたことになる。
- [0062] <効果>
以上のように、k個の出力を有する信号生成部とm個の出力を有する信号生成部とを組み合わせることによって、 $(k \times m)$ 個の駆動信号を出力する。つまり、駆動装置の前段部における出力数を削減することができる。これにより、駆動装置の回路規模を低減することができる。
- [0063] ここで、本実施形態により得られる駆動装置の面積削減効果について、一例を示す。ここで、従来例と同じ基準で比較するために、出力数が「320」である場合についての例を示す。また、従来と同一の基準で比較を行なうため、同一のトランジスタの最小線幅(ゲート長)を有する半導体プロセスを用いて設計したデータ同士で比較を行なう。
- [0064] まず、本実施形態を適用した場合のそれぞれ概算の回路面積は、以下の通りであった。

[0065] 出力回路: $19500 \mu \text{m}^2$
 出力バッファ: $18900 \mu \text{m}^2$
 レベルシフタ: $28700 \mu \text{m}^2$
 フリップフロップ: $9100 \mu \text{m}^2$
 分周回路: $10000 \mu \text{m}^2$

ここで、 $m=16$ 、 $k=20$ として、信号生成部106の面積(S106)、信号生成部107の面積(S107)、出力部108の面積(S108)は、次のようにになった。

[0066] $S106 = (28700 + 18900 + 9100) \times 16 = 0.91 \text{mm}^2$
 $S107 = (28700 + 18900 + 9100) \times 20 = 1.13 \text{mm}^2$
 $S108 = 19500 \times 320 = 6.24 \text{mm}^2$

また、その他の部分の面積(S_α)は「 0.10mm^2 」であった。

[0067] したがって、本実施形態における総面積(SSS)は、次のようにになった。

[0068] $SSS = S106 + S107 + S108 + S_\alpha = 8.3 \text{mm}^2$

一方で、図29に示した従来の駆動装置における概算の回路面積は、以下の通りであった。

[0069] 出力バッファ: $14000 \mu \text{m}^2$
 レベルシフタ: $28700 \mu \text{m}^2$
 フリップフロップ: $9100 \mu \text{m}^2$

従って、従来における総面積(SSS')は、次のようにになった。

[0070] $SSS' = (14000 + 28700 + 9100) \times 320 = 16.58 \text{mm}^2$
 両者を比較すると、本実施形態における総面積(SSS)は、従来における総面積(SSS')の約50%程度まで削減できていることがわかる。

[0071] (第2の実施形態)

＜構成＞

図4は、この発明の第2の実施形態による駆動装置の全体構成を示す。この駆動装置は、図1に示した駆動装置に加えて、制御信号入力端子200と、論理回路201とを含む。制御信号入力端子200は、外部からの制御信号を入力する。論理回路201は、制御信号入力端子200に入力された制御信号に応じて、シフトレジスタ116からの

出力をすべて「ローレベル」にする。その他の構成は図1と同様である。

[0072] 論理回路201は、k個のAND回路201-1～201-kを含む。AND回路201-1～201-kの各々は、制御信号入力端子200の入力された制御信号と自己に対応するフリップフロップからの出力とを受ける。例えば、AND回路201-1は、制御信号とフリップフロップFFa-1からの出力とを受ける。

[0073] <動作>

図5を参照して、図4に示した駆動装置による動作について説明する。

[0074] 制御信号が制御信号入力端子200に入力されている(制御信号が「ハイレベル」である)場合、シフトレジスタ116からの出力の各々は、論理回路201によって遮断されることなく、対応するレベルシフタへ供給される。つまり、図3と同様の動作が実行される。

[0075] 一方、制御信号が制御信号入力端子200に入力されていない(制御信号が「ローレベル」である)場合、k個のAND回路201-1～201-kの各々からの出力は、すべて、「ローレベル」になる。よって、レベルシフタLSa-1～LSa-kの各々からの出力も「ローレベル」になる。例えば、シフトレジスタ116のフリップフロップFFa-2からの出力が「ハイレベル」であっても、イネーブル信号s2は出力されない。この場合、出力回路Xm+1～X2mの各々にはイネーブル信号s2が供給されないので、出力回路Xm+1～X2mにデータ信号b1～bmが順次供給されても、出力回路Xm+1～X2mからは駆動信号が出力されない(「ハイレベル」にならない)。

[0076] このように、制御信号が入力されている間は駆動信号が出力されるが、制御信号が入力されていない間は駆動信号が出力されない。

[0077] <効果>

以上のように、制御信号によって駆動信号の出力を制限することができる。これにより、液晶表示パネルにおいて所定のラインだけ表示させる(または、その所定ラインに表示されている画像を更新する)ことができる。つまり、部分表示機能を実現することができる。さらに、制御信号が入力されていない間、レベルシフタ、出力バッファが停止しているので、電力消費を低減することができる。

[0078] なお、図6のように、論理回路201がレベルシフタLSa-1～LSa-kと出力バッファ

OBa-1～OBa-kとの間に接続されている場合も同様の効果を得ることができる。

この場合、論理回路201は、高耐圧系のトランジスタによって構成される。

[0079] また、図7のように、論理回路201が信号生成部107のシフトレジスタ117とレベルシフタLSb-1～LSb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路201は、m個のAND回路201-1～201-mを含む。

[0080] さらに、図8のように、論理回路201がレベルシフタLSb-1～LSb-mと出力バッファOBb-1～OBb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路201は、高耐圧系のトランジスタによって構成される。

[0081] さらに、図9のように、論理回路201がシフトレジスタ116とレベルシフタLSa-1～LSa-kとの間、およびシフトレジスタ117とレベルシフタLSb-1～LSb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路201は、AND回路201a-1～201a-k, 201b-1～201b-mを含む。また、一方の信号生成部だけでなく他方の信号生成部に含まれるレベルシフタおよび出力バッファも停止するので、電力消費をさらに低減することができる。

[0082] さらに、図10のように、論理回路201がレベルシフタLSa-1～LSa-kと出力バッファOBa-1～OBa-kの間、およびレベルシフタLSb-1～LSb-mと出力バッファOBb-1～OBb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路201は、高耐圧系のトランジスタによって構成される。

[0083] (第3の実施形態)

<構成>

この発明の第3の実施形態による駆動装置の全体構成は、図1と同様であるが、信号生成部106の内部構成が異なる。図11に、本実施形態の信号生成部106の内部構成を示す。信号生成部106は、図1に示した信号生成部に加えて、セレクタ301, 302を含む。その他の構成は図1と同様である。

[0084] セレクタ301は、フリップフロップFFa-1とフリップフロップFFa-2との間に接続される。セレクタ301は、通常モードと部分表示モードとを有する。通常モードのときは、セレクタ301は、前段のフリップフロップFFa-1からの出力を後段のフリップフロップFFa-2に供給する。部分表示モードのときには、セレクタ301は、システム接地

電圧VSSをフリップフロップFFa-2に供給する。

[0085] セレクタ302は、フリップフロップFFa-(k-1)とフリップフロップFFa-kとの間に接続される。セレクタ302は、通常モードと部分表示モードとを有する。通常モードのときには、セレクタ302は、前段のフリップフロップFFa-(k-1)からの出力を後段のフリップフロップFFa-kに供給する。部分表示モードのときには、セレクタ302は、フリップフロップFFa-1(セレクタ301の前段のフリップフロップ)からの出力を後段のフリップフロップFFa-kに供給する。

[0086] <動作>

図12を参照して、図11に示した駆動装置による動作について説明する。

[0087] 通常モードのときには、図3と同様に、1個のスタートパルスに応じて1個のイネーブル信号が「ハイレベル」になるとともに、データ信号b1～bmが順次出力される。

[0088] 部分表示モードのときには、イネーブル信号s1の次に、イネーブル信号s2ではなくイネーブル信号skが「ハイレベル」になる。したがって、出力回路X_{m+1}～X_{2m}ではなく出力回路X_{(k-1)m+1}～X_{km}から駆動信号が順次出力される。

[0089] <効果>

以上のように、セレクタの動作モードを変更することによって駆動信号の出力を制限することができる。これにより、液晶表示パネルにおいて所定のラインだけ表示させない(または、その所定ラインに表示されている画像を更新しない)ことが可能となる。つまり、部分表示機能を実現することができる。さらに、部分表示モードのときには、フリップフロップFFa-2～FFa-(k-1)が停止するので、電力消費を低減することができる。

[0090] なお、例えば、部分表示モードのときに、(k×m)ラインの液晶表示パネルのうち10ラインから20ラインまでの区間を表示させない場合、セレクタ301が先頭から9番目のフリップフロップFFa-9と10番目のフリップフロップFFa-10との間に接続され、セレクタ302が先頭から20番目のフリップフロップFFa-20と21番目のフリップフロップFFa-21との間に接続されれば良い。

[0091] (第4の実施形態)

<構成>

図13は、この発明の第4の実施形態による駆動装置の全体構成を示す。この装置は、図1に示した駆動装置に加えて、選択回路400と、分周回路402とを備える。選択回路400は、 p 個(p は「 $k/2$ 」、なお、ここでは「 k 」は偶数である。)のセレクタ401-1～401-pを含む。その他の構成は図1と同様である。

- [0092] セレクタ401-1～401-pの各々は、2つのフリップフロップと2つのシフトレジスタとに対応する。例えば、セレクタ401-1は、2つのフリップフロップFFb-1, FFb-2と2つのシフトレジスタLSb-1, LSb-2とに対応する。
- [0093] セレクタ401-1～401-pの各々は、通常モードと2ライン駆動モードとを有する。通常モードのときには、セレクタ401-1～401-pの各々は、自己に対応する第1フリップフロップからの出力を自己に対応する第1レベルシフタに供給し、自己に対応する第2フリップフロップからの出力を自己に対応する第2レベルシフタに供給する。例えば、セレクタ401-1は、フリップフロップFFb-1からの出力をレベルシフタLSb-1へ供給し、フリップフロップFFb-2からの出力をレベルシフタLSb-2へ供給する。一方、2ライン駆動モードになると、セレクタ401-1～401-pの各々は、第1フリップフロップからの出力を第1レベルシフタおよび第2レベルシフタに供給する。例えば、セレクタ401-1は、フリップフロップFFb-1からの出力をレベルシフタLSb-1, LSb-2へ供給する。
- [0094] 分周回路402は、通常モードと2ライン駆動モードとを有する。通常モードのときには、分周回路402は、ドライブ信号入力端子101に入力されたスタートパルスをそのまま出力する。2ライン駆動モードのときには、分周回路402は、ドライブ信号入力端子101に入力されたスタートパルスを所定のサイクル分だけ分周する。シフトレジスタ117は、分周回路402からのスタートパルスを入力する。
- [0095] <動作>
図14を参照して、図13に示した駆動装置による動作について説明する。
- [0096] 通常モードのときには、分周回路402は、ドライブ信号入力端子101に入力されたスタートパルスをそのまま出力する。セレクタ401-1は、フリップフロップFFb-1からの出力をレベルシフタLSb-1へ供給し、フリップフロップFFb-2からの出力をレベルシフタLSb-2へ供給する。したがって、図3に示した動作と同様の動作が実行さ

れる。

[0097] 2ライン駆動モードのときには、シフトレジスタ117は、分周回路402によって分周されたスタートパルス（「ハイレベル」である期間が延びたスタートパルス）を入力する。また、セレクタ401-1によってフリップフロップFFb-1からの出力がレベルシフタLSb-1, LSb-2に供給されるので、データ信号b1, b2が同時に出力される。したがって、出力回路X1, X2の各々は、同時に、駆動信号を出力する。

[0098] <効果>

以上のように、セレクタの動作モードによって同時に複数の駆動信号を出力することができる。つまり、液晶表示パネルにおいて複数のライン（ここでは、2ライン）を同時にアクティブにすることができます。これにより、液晶表示パネルの解像度を低くすることができる。また、液晶表示パネルのデータドライバ（図示せず）による書き込み回数を少なくすることができるので、電力消費を低減することができる。

[0099] なお、本実施形態では、2ライン駆動について説明しているが、Nライン駆動（Nは自然数）も実現可能である。この場合、1つのセレクタがN個のフリップフロップとN個のレベルシフタとに対応しておれば良い。通常モードのときには、セレクタの各々は、N個のフリップフロップとN個のレベルシフタとを一一で対応付ければ良い。Nライン駆動モードのときには、セレクタの各々は、自己に対応するフリップフロップのうち1段目のフリップフロップからの出力をN個のレベルシフタの各々に供給すれば良い。

[0100] また、図15のように、セレクタ401-1～401-pがレベルシフタLSb-1～LSb-mと出力バッファOBb-1～OBb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、セレクタ401-1～401-pの各々は、2つのシフトレジスタと2つの出力バッファとに対応する。また、フリップフロップFFb-1～FFb-mとレベルシフタLSb-1～LSb-mとの間にp個のセレクタ403-1～403-pをさらに備えることも可能である。セレクタ403-1～403-pの各々は、偶数番目のフリップフロップとレベルシフタとに対応する。セレクタ403-1～403-pの各々は、通常モードのときには、自己に対応するフリップフロップからの出力を自己に対応するレベルシフタへ供給する。例えば、セレクタ403-1は、フリップフロップFFb-2からの出力をレベルシフタLSb-2へ供給する。一方、セレクタ403-1～403-pの各々は、2ラ

イン駆動モードのときには、システム接地電圧VSSを自己に対応するレベルシフタに供給する。これによれば、2ライン駆動モードにおいて不要となるレベルシフタによる電力消費を防止することができる。

[0101] (第5の実施形態)

＜構成＞

図16は、この発明の第5の実施形態による駆動装置の全体構成を示す。この装置は、図1に示した駆動装置に加えて、制御信号入力端子500と、論理回路501とを備える。制御信号入力端子500は、外部からの制御信号を入力する。論理回路501は、制御信号入力端子500に入力された制御信号が「ハイレベル」であると、シフトレジスタ116からのk個の出力をすべて「ハイレベル」にする。その他の構成は図1と同様である。

[0102] 論理回路501は、k個のOR回路501-1～501-kを含む。OR回路501-1～501-kの各々は、制御信号入力端子500の入力された制御信号と自己に対応するフリップフロップからの出力とを受ける。例えば、OR回路501-1は、制御信号とフリップフロップFFa-1からの出力とを受ける。

[0103] <動作>

図17を参照して、図16に示した駆動装置による動作について説明する。

[0104] 制御信号が制御信号入力端子500に入力されていない（「ローレベル」である）場合、シフトレジスタ116からのイネーブル信号s1～skの各々は、対応するレベルシフタへ供給される。つまり、図3に示した動作と同様の動作が実行される。

[0105] 一方、制御信号が制御信号入力端子500に入力されている（「ハイレベル」である）場合、k個のOR回路501-1～501-kの各々からの出力は、すべて、「ハイレベル」になる。つまり、イネーブル信号s1～skの各々は、対応するm個の出力回路へ同時に供給される。例えば、シフトレジスタ116のフリップフロップFFa-1からの出力が「ハイレベル」であり他のフリップフロップFFa-2～FFa-kからの出力が「ローレベル」であっても、イネーブル信号s1だけでなくイネーブル信号s2～skも出力される。したがって、データ信号b1が出力されると、出力回路X1だけでなく出力回路Xm+1, …, X(k-1)m+1も、同時に、駆動信号を出力する。つまり、グループGr1に属する

m 個の出力回路だけでなく他のグループGr2～Grkの各々に属する出力回路も、同時に、駆動信号を順次出力する。

[0106] このように、制御信号が入力されている間は、1つのグループに属する出力回路だけでなく、他のグループに属する出力回路からも同時に駆動信号が出力される。

[0107] <効果>

以上のように、制御信号が「ハイレベル」である期間では、同時に複数の駆動信号を出力することができる。また、2ライン駆動モードのときに、分周回路104がドライブ信号入力端子101に入力されたクロックを分周することなくそのまま出力するように、分周回路104を設定しても良い。これによれば、液晶表示パネルにベタ画像(画像全体において階調数が均一である画像(例えば、すべての画素が「白」である画像))を表示させる場合、データドライバ(図示せず)による画像の書き込み時間を短縮することができる。

[0108] なお、図18のように、論理回路501がレベルシフタLSa-1～LSa-kと出力バッファOBa-1～OBa-kとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路501は、高耐圧系のトランジスタによって構成される。

[0109] また、図19のように、論理回路501が信号生成部107のシフトレジスタ117とレベルシフタLSb-1～LSb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路501は、 m 個のOR回路501-1～501-mを含む。また、図20のように、制御信号が制御信号入力端子500に入力されている(「ハイレベル」である)と、データ信号b1～bmは、すべて、同時に「ハイレベル」になる。したがって、「ハイレベル」のイネーブル信号が入力された出力回路のすべてが、同時に、駆動電圧を出力する。例えば、イネーブル信号s1が「ハイレベル」であるとすると、出力回路X1～Xmのすべてが、同時に、駆動信号を出力する。

[0110] さらに、図21のように、論理回路501がレベルシフタLSb-1～LSb-mと出力バッファOBb-1～OBb-mとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路501は、高耐圧系のトランジスタによって構成される。

[0111] (第6の実施形態)

<構成>

図22は、この発明の第6の実施形態による駆動装置の全体構成を示す。この装置は、制御信号入力端子600と、論理回路601とを備える。制御信号入力端子600は、外部からの制御信号を入力する。論理回路601は、制御信号入力端子600に入力された制御信号が「ハイレベル」であると、シフトレジスタ116からのイネーブル信号s₁～s_kをすべて「ローレベル」にする。

[0112] 論理回路601は、m個のNOR回路601-1～601-mを含む。NOR回路601-1～601-kの各々は、制御信号入力端子600の入力された制御信号と自己に対応するフリップフロップからの出力を反転した信号とを受ける。例えば、NOR回路601-1は、制御信号とフリップフロップFFb-1からの出力を反転した信号とを受ける。) その他の構成は図1と同様である。

[0113] <動作>

図23を参照して、図22に示した駆動装置による動作について説明する。なお、ここでは、出力バッファOBb-1～OBb-mからのm個の出力の各々は、出力バッファが高耐圧トランジスタで構成されているので、立ち上がり時間・立ち下がり時間が共に大きく、波形がゆがんでいる。また、説明のために、図22に示されたデータ信号b₁～b_mの波形は、シフトレジスタ117からの出力がレベルシフタLSb-1～LSb-mに直接供給された場合のものである。

[0114] まず、フリップフロップFFb-1から信号が出力される。このとき、制御信号は「ローレベル」であるので、データ信号b₁は「ハイレベル」になる。したがって、出力回路X1からの駆動信号は「ハイレベル」になる。

[0115] 次に、制御信号が「ハイレベル」になる。これにより、フリップフロップFFb-1からの信号は「ローレベル」になりデータ信号b₁は「ローレベル」になるので、出力回路X1からの駆動信号は「ローレベル」になる。

[0116] 次に、フリップフロップFFb-2から信号が出力される。このとき、制御信号は「ハイレベル」であるので、データ信号b₂は「ローレベル」のままである。したがって、出力回路X2からの駆動信号は「ローレベル」のままである。

[0117] 次に、制御信号が「ローレベル」になる。これにより、データ信号b₂は「ハイレベル」になるので、出力回路X2からの駆動信号は「ハイレベル」になる。

[0118] このように、制御信号は、あるデータ信号が「ハイレベル」になってから次のデータ信号が「ハイレベル」になるまでの期間中に、その期間よりも短い所定時間だけ「ハイレベル」になるように設定されている。

[0119] <効果>

以上のように、ある1つの駆動信号が output されているときに、本来必要でない他の駆動信号が output されることを防止することができる。これにより、液晶表示パネルにおいてある1つのラインに画像の書き込みが実行されているときに、そのラインに隣接するラインに誤って画像が書き込まれることを防ぐことができる。

[0120] なお、図24のように、論理回路601をシフトレジスタ116とレベルシフタLSa-1～LSa-kとの間に接続されている場合も同様の効果を得ることができる。この場合、論理回路601は、k個のNOR回路601-1～601-kを含む。

[0121] (第7の実施形態)

<構成>

図25は、この発明の第7の実施形態による駆動装置の全体構成を示す。この装置は、図1に示した駆動装置に加えて、制御信号入力端子700と、論理回路701とを備える。その他の構成は図1と同様である。制御信号入力端子700は、外部からの制御信号を入力する。論理回路701は、k個のOR回路701a-1～701a-kと、m個のOR回路701b-1～701b-mとを含む。OR回路701a-1～701a-kの各々は、制御信号入力端子700からの制御信号と自己に対応するフリップフロップからの出力を受ける。例えば、OR回路701a-1は、制御信号とフリップフロップFFa-1からの出力を受ける。OR回路701b-1～701b-mの各々は、制御信号入力端子700と自己に対応するフリップフロップからの出力を受ける。例えば、OR回路701b-1は、制御信号とフリップフロップFFb-1からの出力を受ける。

[0122] <動作>

図26を参照して、図25に示した駆動装置による動作について説明する。

[0123] 制御信号が制御信号入力端子700に入力されていない(「ローレベル」である)場合、シフトレジスタ116からの出力の各々は対応するレベルシフタへ供給され、イネーブル信号s1～skが出力される。また、シフトレジスタ117からの出力の各々は対応

するレベルシフタへ供給され、データ信号 $b_1 \sim b_m$ が出力される。つまり、図3に示した動作と同様の動作が実行される。

- [0124] 一方、制御信号が制御信号入力端子700に入力されている（「ハイレベル」である場合）場合、 k 個のOR回路701a-1～701a- k の各々からの出力および m 個のOR回路701b-1～701b- m の各々からの出力は、すべて、「ハイレベル」になる。つまり、信号生成部106からのイネーブル信号 $s_1 \sim s_k$ はすべて同時に出力され、信号生成部107からのデータ信号 $b_1 \sim b_m$ はすべて同時に出力される。これにより、すべての出力回路 $X_1 \sim X_{km}$ の各々から同時に駆動信号が出力される。
- [0125] このように、制御信号が入力されている間は、すべての駆動信号が同時に出力される。

[0126] <効果>

以上のように、表示パネルのゲートラインをすべて同時に活性化させることができる。これにより、表示パネルの液晶素子に蓄積された電荷を一気に放電することができる。これにより、例えば、表示パネルの画像が乱れることなく、表示パネルを迅速にオフにすることができる。

[0127] (第8の実施形態)

<全体構成>

図27は、この発明の第8の実施形態による駆動装置の全体構成を示す。この装置は、図1に示した駆動装置に加えて、制御信号入力端子800を備える。また、 $(k \times m)$ 個の出力回路 $X_1 \sim X_{km}$ の各々は、制御信号入力端子800に入力された制御信号を受ける。その他の構成は図1と同様である。

[0128] <選択回路の内部構成>

図28は、図27に示した出力回路の内部構成を示す。出力回路は、図2に示した出力回路に加えて、選択部80を含む。選択部80は、入力端子81と、インバータ82と、トランジスタMN83, MP83, MN84と、出力端子OUT' と、オン電圧入力端子85とを含む。入力端子81は、制御信号入力端子800からの制御信号を入力する。トランジスタMN83, MP83は、トランスマジックゲートを構成する。トランジスタMN83は、出力端子OUTと出力端子OUT'との間に接続され、入力端子81からの制御信号をゲ

ートに受ける。トランジスタMP83は、出力端子OUTと出力端子OUT'との間に接続され、インバータ82によって反転された制御信号をゲートに受ける。トランジスタMP84は、出力端子OUT'とオン電圧入力端子85との間に接続され、入力端子81からの制御信号をゲートに受ける。オン電圧入力端子85は、オン電圧VGGを受ける。

[0129] <動作>

図27に示した駆動装置による動作について説明する。

[0130] 制御信号が制御信号入力端子800に入力されている(「ハイレベル」である)場合、
($k \times M$)個の出力回路の各々では、トランジスタMN83, MP83は導通状態になり、
トランジスタMP84は非導通状態になる。よって、出力端子OUTに供給された信号(データ信号またはオフ電圧)が出力端子OUT'から出力される。したがって、図3と同様に、出力回路X1～Xkmの各々は、自己に対応するイネーブル信号およびデータ信号に応じて、駆動信号を出力する。

[0131] 一方、制御信号が制御信号入力端子800に入力されていない(「ローレベル」である)場合、($k \times M$)個の出力回路の各々では、トランジスタMN83, MP83は非導通状態になり、トランジスタMP84は導通状態になる。よって、出力端子OUT'からは、出力端子OUTに供給された信号ではなく、オン電圧VGGが出力される。したがって、図26と同様に、すべての出力回路X1～Xkmの各々から同時に駆動信号が出力される。

[0132] <効果>

以上のように、表示パネルのゲートラインをすべて同時に活性化させることができる。これにより、表示パネルの液晶素子に蓄積された電荷を一気に放電することができる。これにより、表示パネルを迅速に全画面「黒」にすることができます。

[0133] また、レベルシフタや出力バッファ(オン電圧VGG, オフ電圧VEEによって駆動する回路)を構成するトランジスタの電流能力よりもトランジスタMP84の電流能力を弱くすれば、オン電圧VGGが供給された配線へ急激に電荷が流れ込むことを抑制することができる。これにより、装置が破壊されることを防止することができる。ここで、「電流能力」とは、単位時間当たりにトランジスタを流れる電荷量を示す。「電流能力が弱い」ということは、単位時間当たりにトランジスタを流れる電荷量が少ないことを意味す

る。

- [0134] 尚、以上の各実施形態の説明では、 k 個の信号を順次出力する回路および m 個の信号を順次出力する回路として、フリップフロップからなるシフトレジスタと分周回路とを用いた例を説明しているが、本発明はこれに限られるものではない。例えば、カウンタとデコーダとを組み合わせることによって構成しても良い。
- [0135] さらに、信号生成部の合計チャネル数「 $m+k$ 」が最小になるように、 m 、 k を選択してやれば、面積削減効果が最も高いので好ましい。
- [0136] 上記の全ての実施の形態の説明において、液晶表示パネルの走査線を駆動するための駆動装置について実施例を説明してきたが、本発明はこれに限定されるものではない。この例の他に、有機ELパネルなど他の表示パネルなどでも適用可能である。また、アクティブマトリックス型の駆動を行なうものあれば本発明を適用することができる。さらに言えば、本発明は、1チップ化された半導体集積回路において、複数の出力端子に順に信号を出力するような構成にも適用可能である。

産業上の利用可能性

- [0137] 本発明の駆動装置によれば、回路面積を低減することができるので、液晶表示パネルや有機ELパネルなどの表示装置の走査線を駆動するための駆動装置および駆動方法等として有用である。

請求の範囲

[1] 第1のクロックに応じて、k個 (kは自然数である) の第1の信号を、順次、非出力状態から出力状態にする第1の生成部と、
 第2のクロックに応じて、m個 (mは自然数である) の第2の信号を、順次、非出力状態から出力状態にする第2の生成部と、
 k個のグループに分けられる ($k \times m$) 個の出力回路とを備え、
 前記k個のグループの各々には、m個の出力回路が属し、
 前記k個の第1の信号は、前記k個のグループに対応し、
 前記m個の第2の信号は、前記k個のグループの各々に属するm個の出力回路に
 対応し、
 前記 ($k \times m$) 個の出力回路の各々は、
 自己が属するグループに対応する第1の信号が出力状態である場合、自己に対応
 する第2の信号が出力状態になると、当該第2の信号を出力し、
 自己が属するグループに対応する第1の信号が非出力状態である場合、自己に対
 応する第2の信号が出力状態であっても、当該第2の信号を出力しない
 ことを特徴とする駆動装置。

[2] 請求項1において、
 前記第2の生成部は、
 前記k個の第1の信号のうちいずれか1つが出力状態である間に、前記第2のクロックに応じて、前記m個の第2の信号を、順次、非出力状態から出力状態にする
 ことを特徴とする駆動装置。

[3] 請求項1において、
 前記 ($k \times m$) 個の出力回路の各々は、
 出力端子と、
 当該出力回路に対応する第2の信号を受ける第1の入力端子と、
 前記出力端子と前記第1の入力端子との間に接続され、当該出力回路に対応する
 第1の信号の状態に応じてオン／オフする第1のスイッチと、
 前記第2の信号の非出力状態に相当する所定電圧を受ける第2の入力端子と、

前記出力端子と前記第2の入力端子との間に接続され、当該出力回路に対応する第1の信号の状態に応じてオン／オフする第2のスイッチとを含むことを特徴とする駆動装置。

1)である)の第1フリップフロップと($t+1$)番目の第1フリップフロップとの間に接続される第2のセレクタとをさらに備え、

前記第1および第2のセレクタは、第1および第2のモードを有し、

第1のモードでは、

前記第1のセレクタは、前記s番目の第1フリップフロップからの出力を前記($s+1$)番目の第1フリップフロップへ出力し、前記第2のセレクタは前記t番目の第1フリップフロップからの出力を前記($t+1$)番目の第1フリップフロップへ出力し、

第2のモードでは、

前記第1のセレクタは前記s番目の第1フリップフロップからの出力を前記第2のセレクタへ出力し、前記第2のセレクタは前記第1のセレクタからの出力を前記($t+1$)番目の第1フリップフロップへ出力する

ことを特徴とする駆動装置。

[8] 請求項4において、

第1および第2のモードを有する選択回路をさらに備え、

前記選択回路は、

前記第1のモードでは、前記m個の第2フリップフロップのうち先頭からy番目(yは奇数の自然数であり、mは偶数の自然数であり、 $1 \leq y \leq (m-1)$ である)の第2フリップフロップからの出力をy番目の第2の信号として出力し、($y+1$)番目の第2フリップフロップからの出力を($y+1$)番目の第2の信号として出力し、

前記第2のモードでは、前記y番目の第2フリップフロップからの出力を前記y番目および前記($y+1$)番目の第2の信号として同時に出力し、前記($y+1$)番目の第2フリップフロップからの出力を出力しない

ことを特徴とする駆動装置。

[9] 請求項1において、

前記第1の生成部と($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける論理回路をさらに備え、

前記論理回路は、

前記制御信号の有無に応じて、前記第1の生成部からのk個の第1の信号をすべ

て同時に出力状態にする
ことを特徴とする駆動装置。

[10] 請求項1において、
前記第2の生成部と($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける論理回路をさらに備え、
前記論理回路は、
前記制御信号の有無に応じて、前記第2の生成部からのm個の第2の信号をすべて同時に出力状態にする
ことを特徴とする駆動装置。

[11] 請求項1において、
前記第1の生成部と($k \times m$)個の出力回路との間に接続され、外部からの制御信号の有無に応じて動作する論理回路をさらに備え、
前記制御信号は、前記k個の第2の信号のうちいずれか1つが出力状態になってから次の第2の信号が出力状態になるまでの期間において、当該期間よりも短い所定期間だけ出力され、
前記論理回路は、
前記制御信号を受けると、前記第1の生成部からのk個の第1の信号をすべて同時に非出力状態にする
ことを特徴とする駆動装置。

[12] 請求項1において、
前記第2の生成部と($k \times m$)個の出力回路との間に接続され、外部からの制御信号の有無に応じて動作する論理回路をさらに備え、
前記制御信号は、前記k個の第2の信号のうちいずれか1つが出力状態になってから次の第2の信号が出力状態になるまでの期間において、当該期間よりも短い所定期間だけ出力され、
前記論理回路は、
前記制御信号を受けると、前記第2の生成部からのm個の第2の信号をすべて同時に非出力状態にする

ことを特徴とする駆動装置。

[13] 請求項1において、
前記第1および第2の生成部と前記($k \times m$)個の出力回路との間に接続され、外部からの制御信号を受ける論理回路をさらに備え、
前記論理回路は、
前記制御信号の有無に応じて、前記第1の生成部からの k 個の第1の信号をすべて同時に出力状態にするとともに、前記第2の生成部からの m 個の第2の信号をすべて同時に出力状態にする
ことを特徴とする駆動装置。

[14] 請求項3において、
前記($k \times m$)個の出力回路の各々は、
外部からの制御信号を受け、
前記制御信号の有無に応じて、前記出力端子に与えられた信号および前記第2の信号の出力状態に相当する所定電圧のうちいずれか一方を出力する選択部をさらに含む
ことを特徴とする駆動装置。

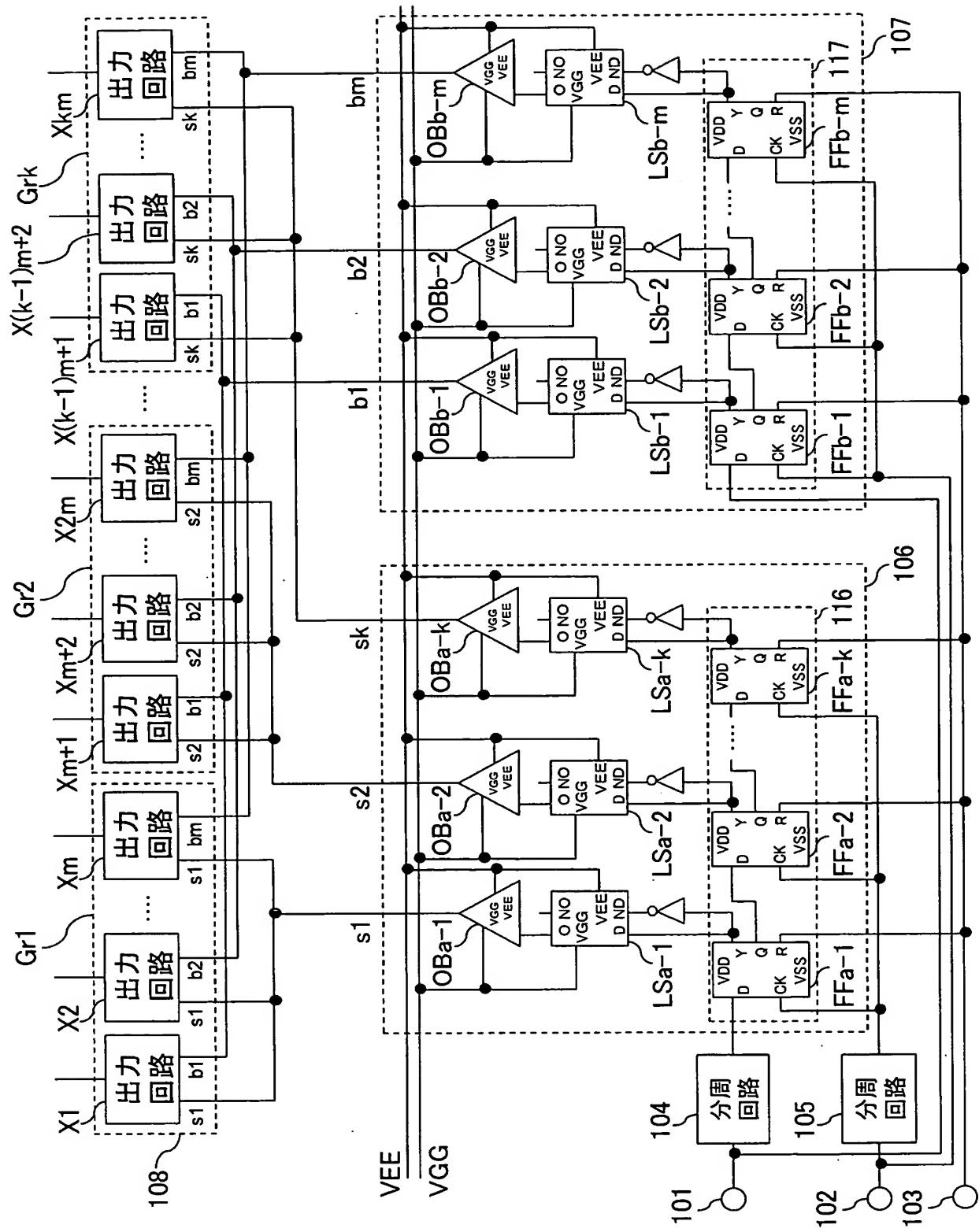
[15] k 個のグループに分けられる($k \times m$)個の出力端子(k, m は自然数である)から駆動信号を順次出力する方法であって、前記 k 個のグループの各々には m 個の出力端子が属し、
第1のクロックに応じて、前記 k 個のグループに対応する k 個の第1の信号を、順次、非出力状態から出力状態にし、
第2のクロックに応じて、前記 k 個のグループの各々に含まれる m 個の出力端子に対応する m 個の第2の信号を、順次、非出力状態から出力状態にし、
前記($k \times m$)個の出力端子の各々において、当該出力端子が属するグループに對応する第1の信号が出力状態である場合、当該出力端子に對応する第2の信号が
出力状態になると、当該出力端子から当該第2の信号を前記駆動信号として出力し
、
前記($k \times m$)個の出力端子の各々において、当該出力端子が属するグループに

対応する第1の信号が非出力状態である場合、当該出力端子に対応する第2の信号が
が出力状態であっても、当該出力端子から当該第2の信号を前記駆動信号として出
力しない
ことを特徴とする駆動方法。

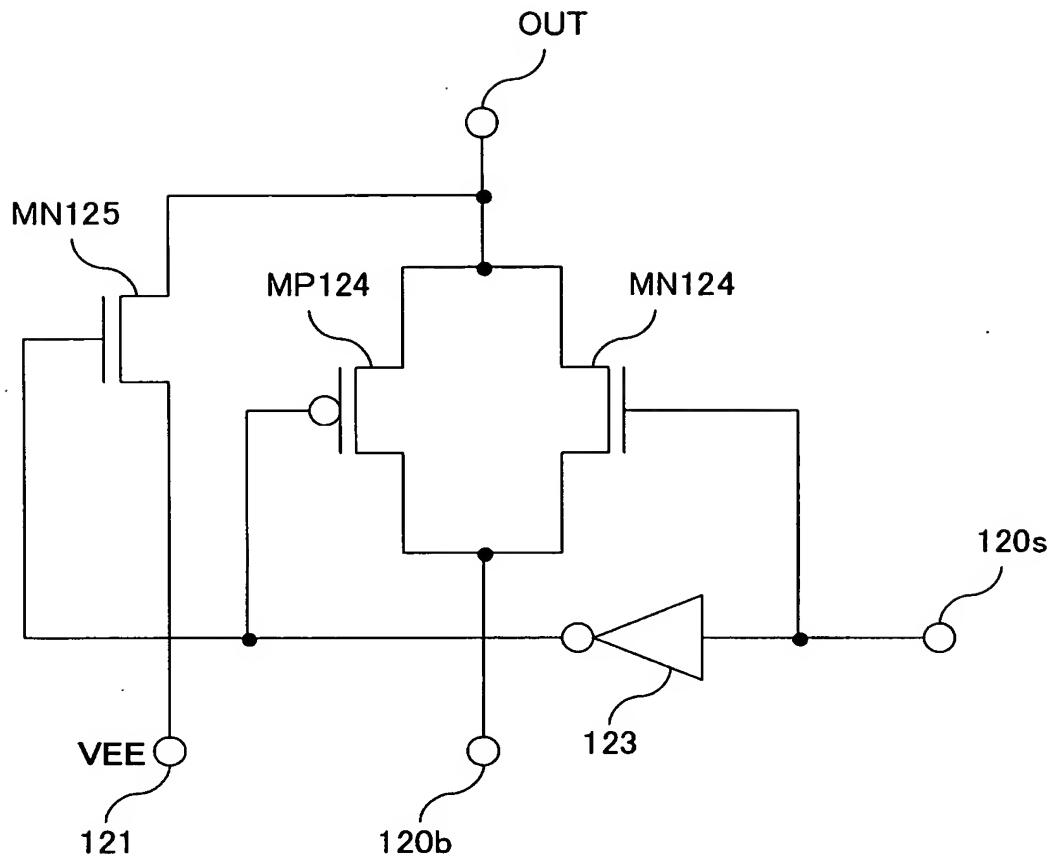
要 約 書

第1の生成部(106)は、k個の第1の信号を、順次、出力状態にする。第2の生成部(107)は、m個の第2の信号を、順次、出力状態にする。 $(k \times m)$ 個の出力回路($X_1 \sim X_{km}$)は、k個のグループに分けられる。k個のグループの各々には、m個の出力回路が属する。k個の第1の信号は前記k個のグループに対応し、m個の第2の信号はk個のグループの各々に属するm個の出力回路に対応する。前記 $(k \times m)$ 個の出力回路の各々は、自己が属するグループに対応する第1の信号が出力状態である場合、自己に対応する第2の信号が出力状態になると、その第2の信号を出力する。

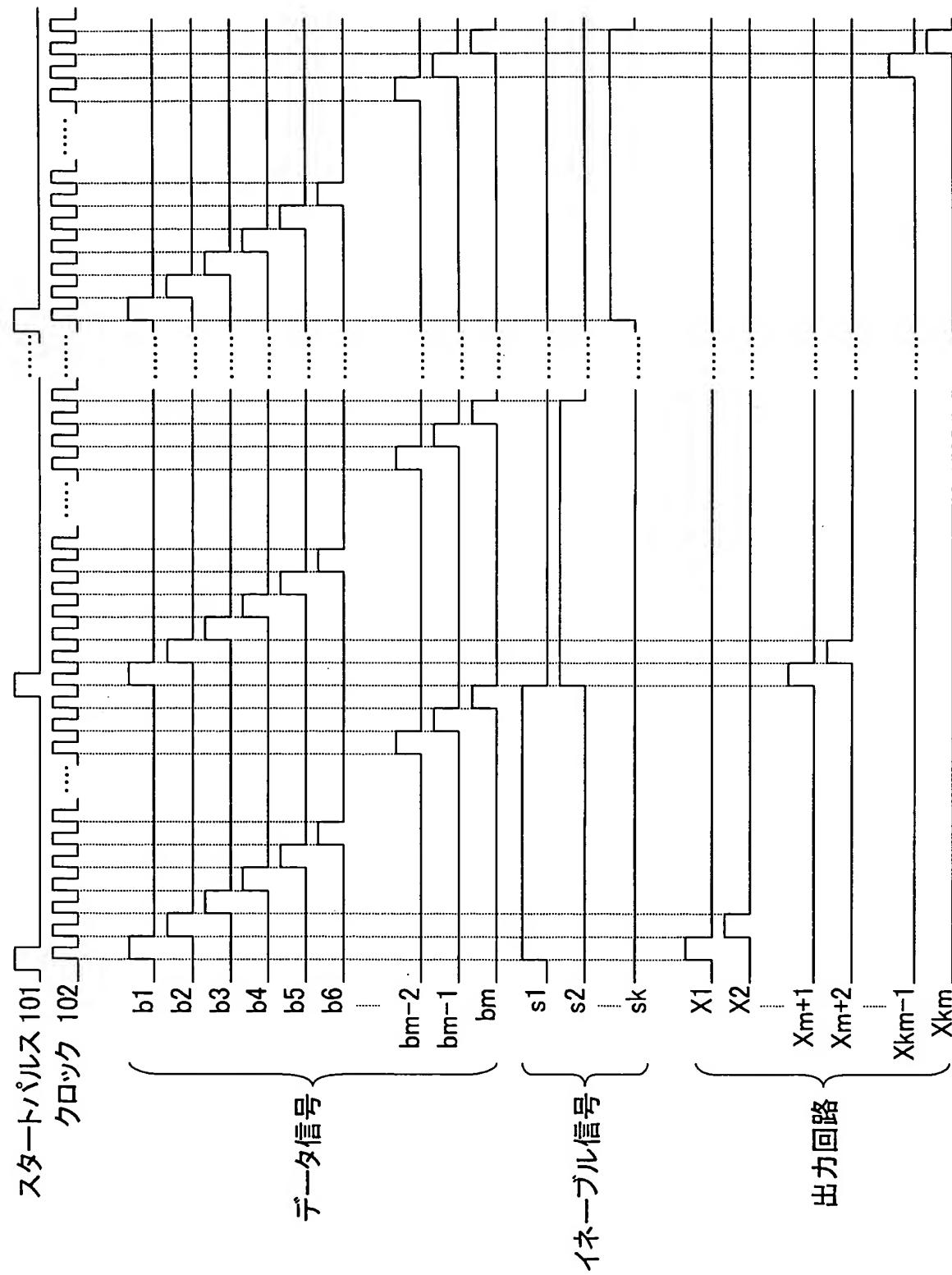
[図1]



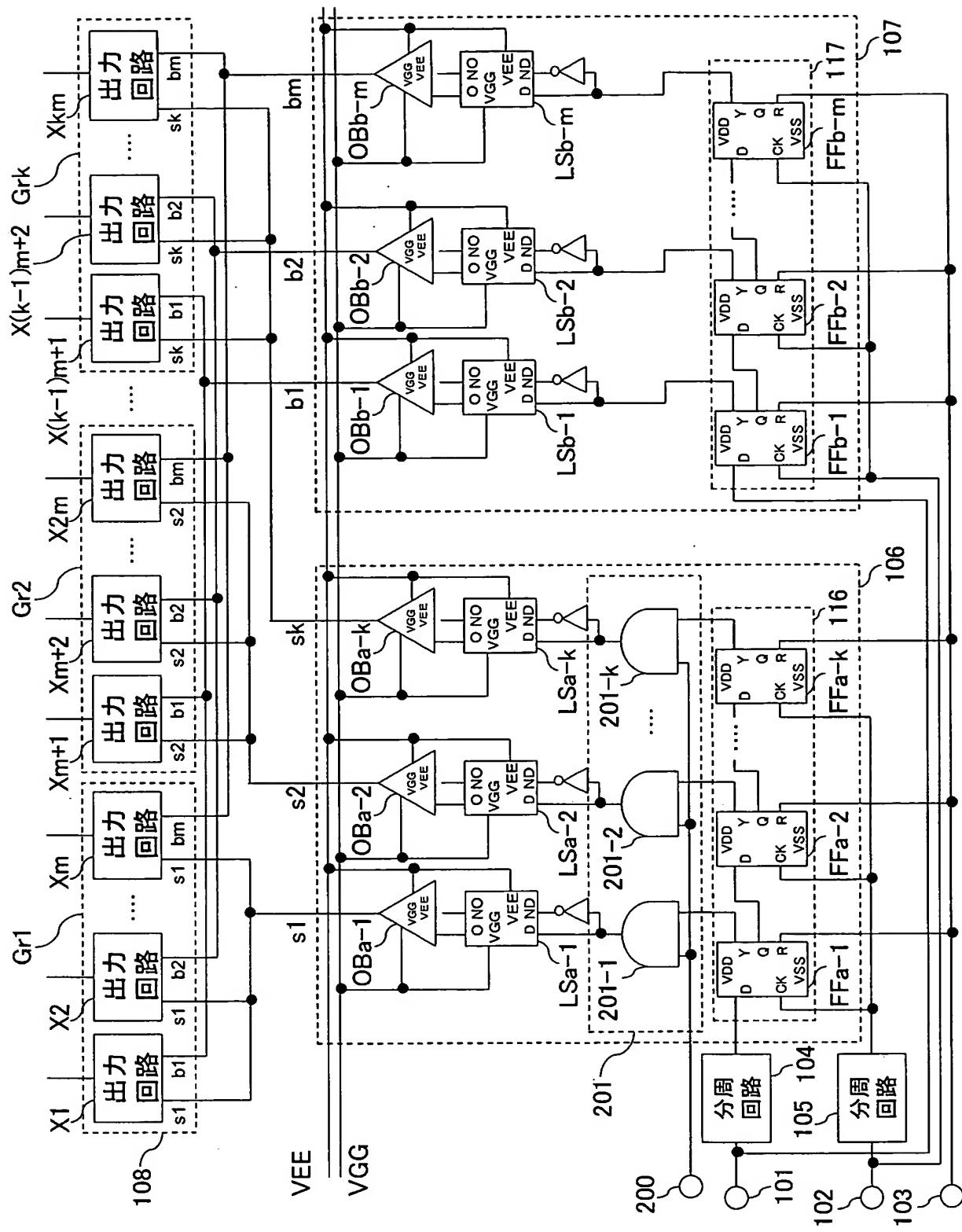
[図2]



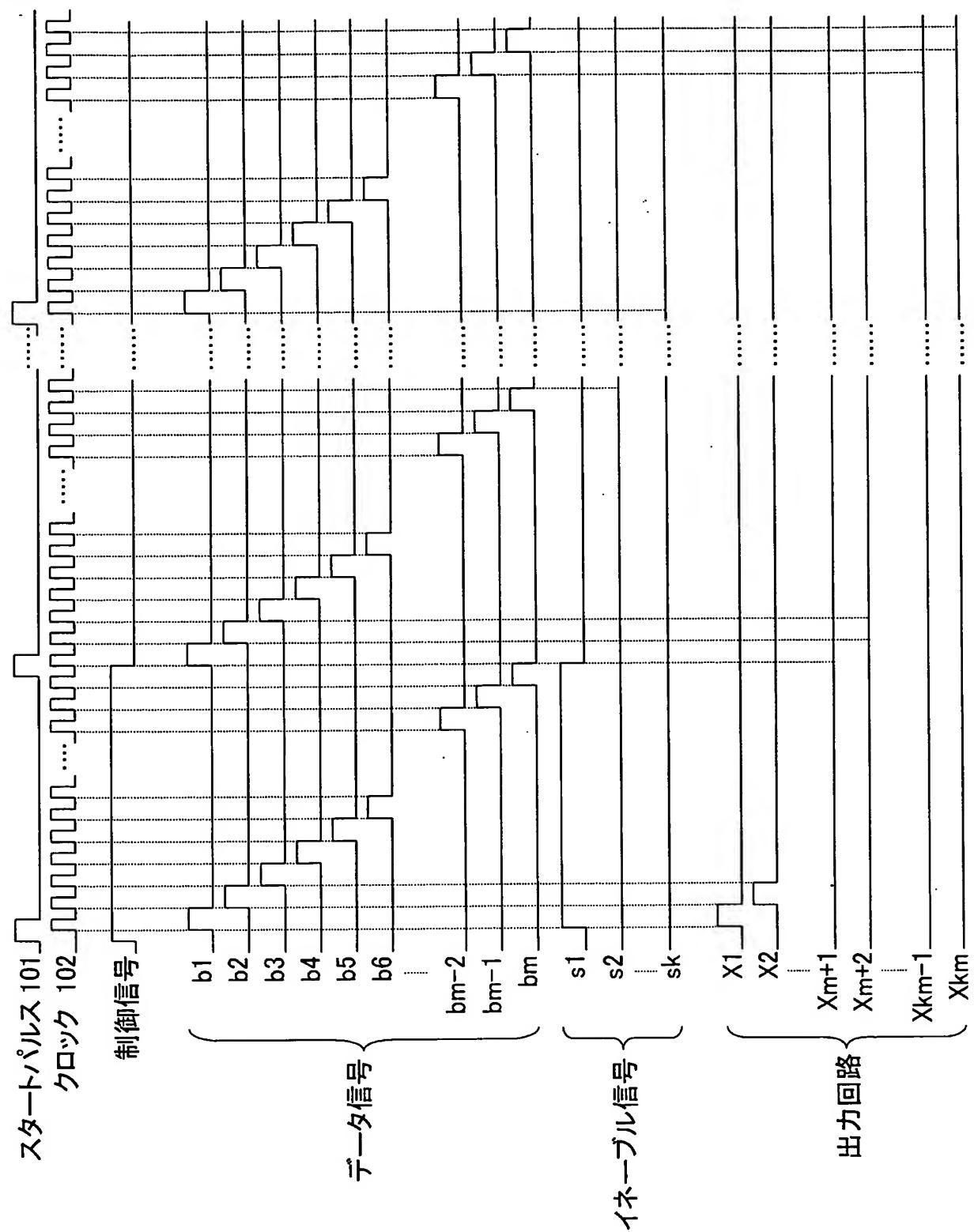
[図3]



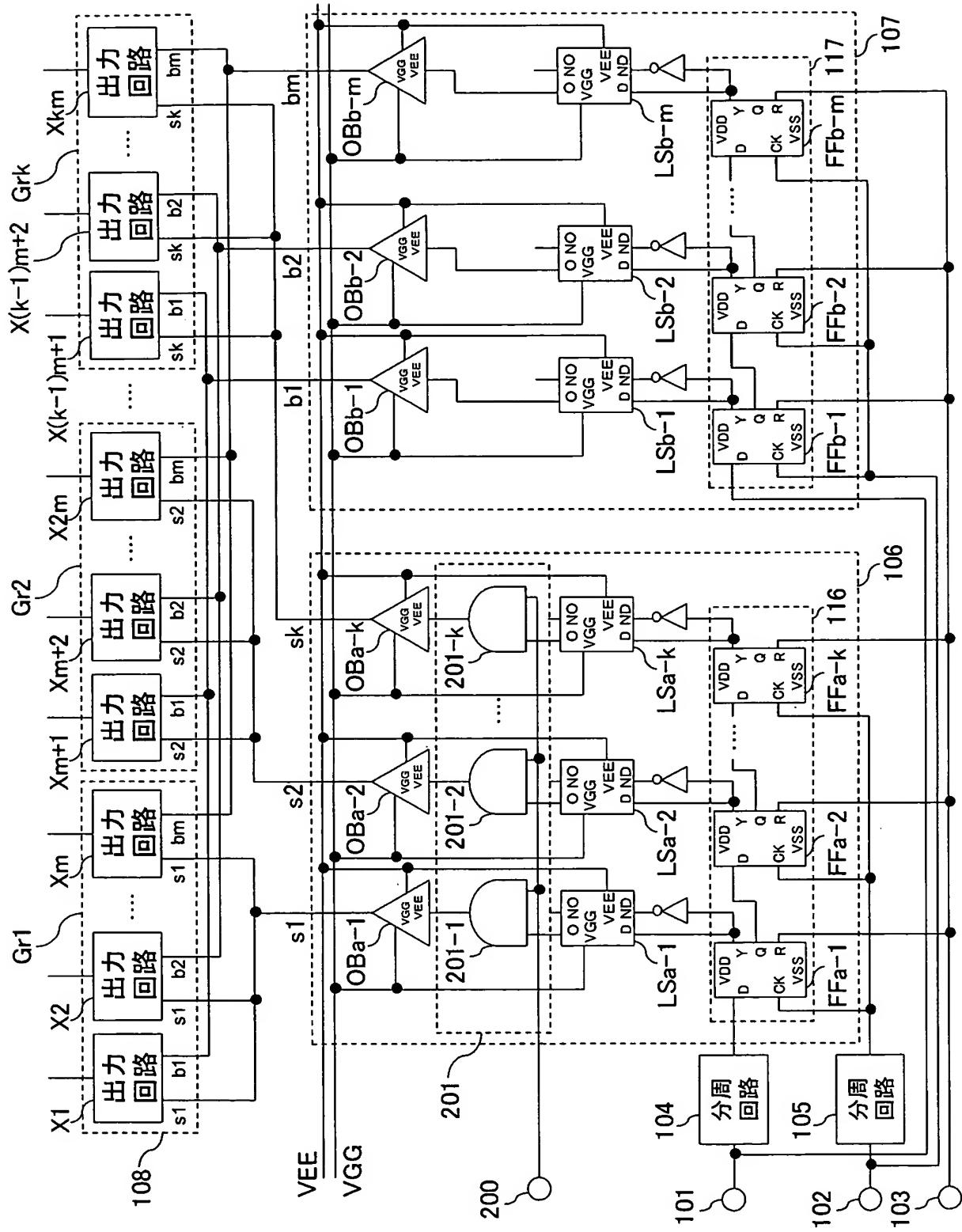
[図4]



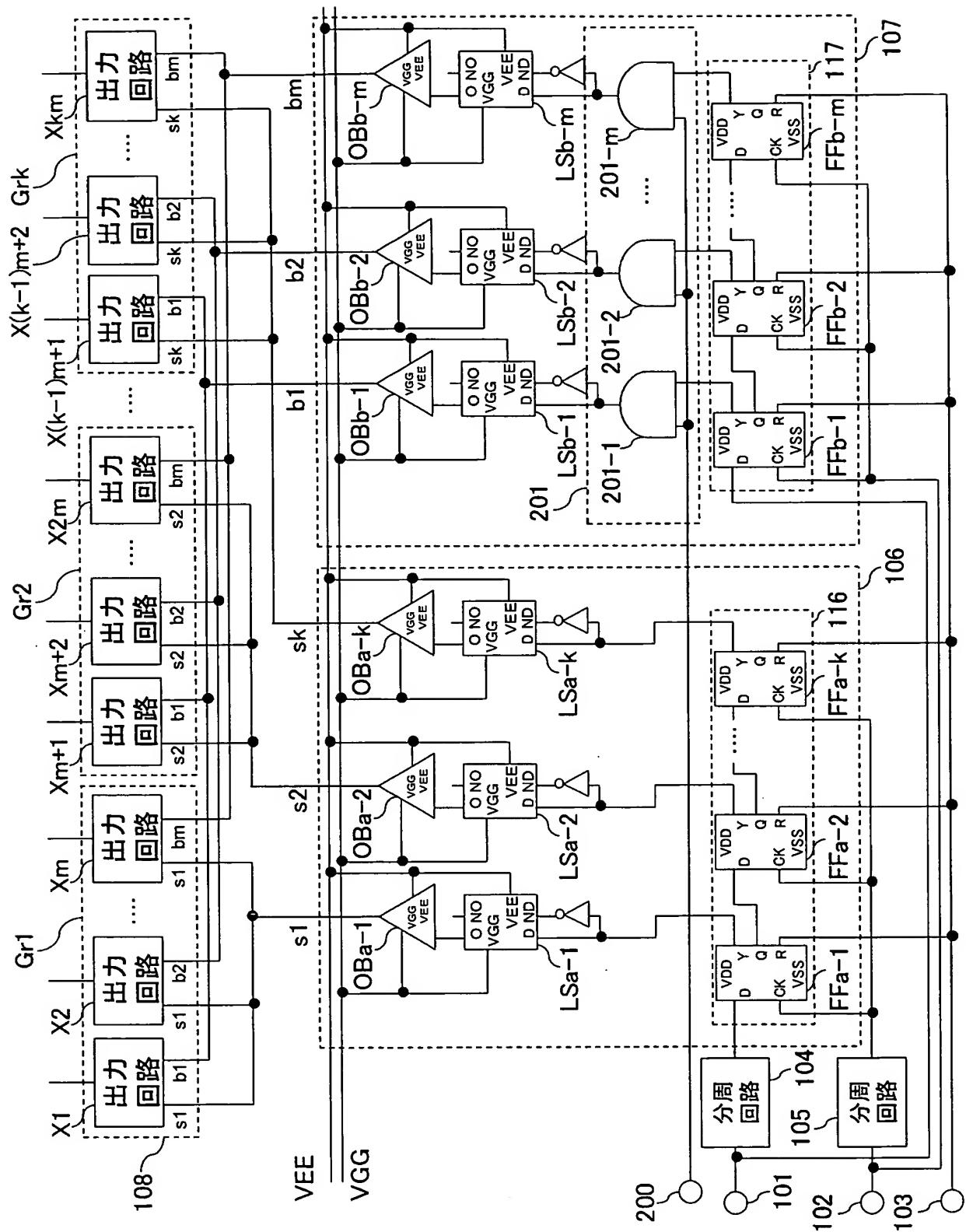
[図5]



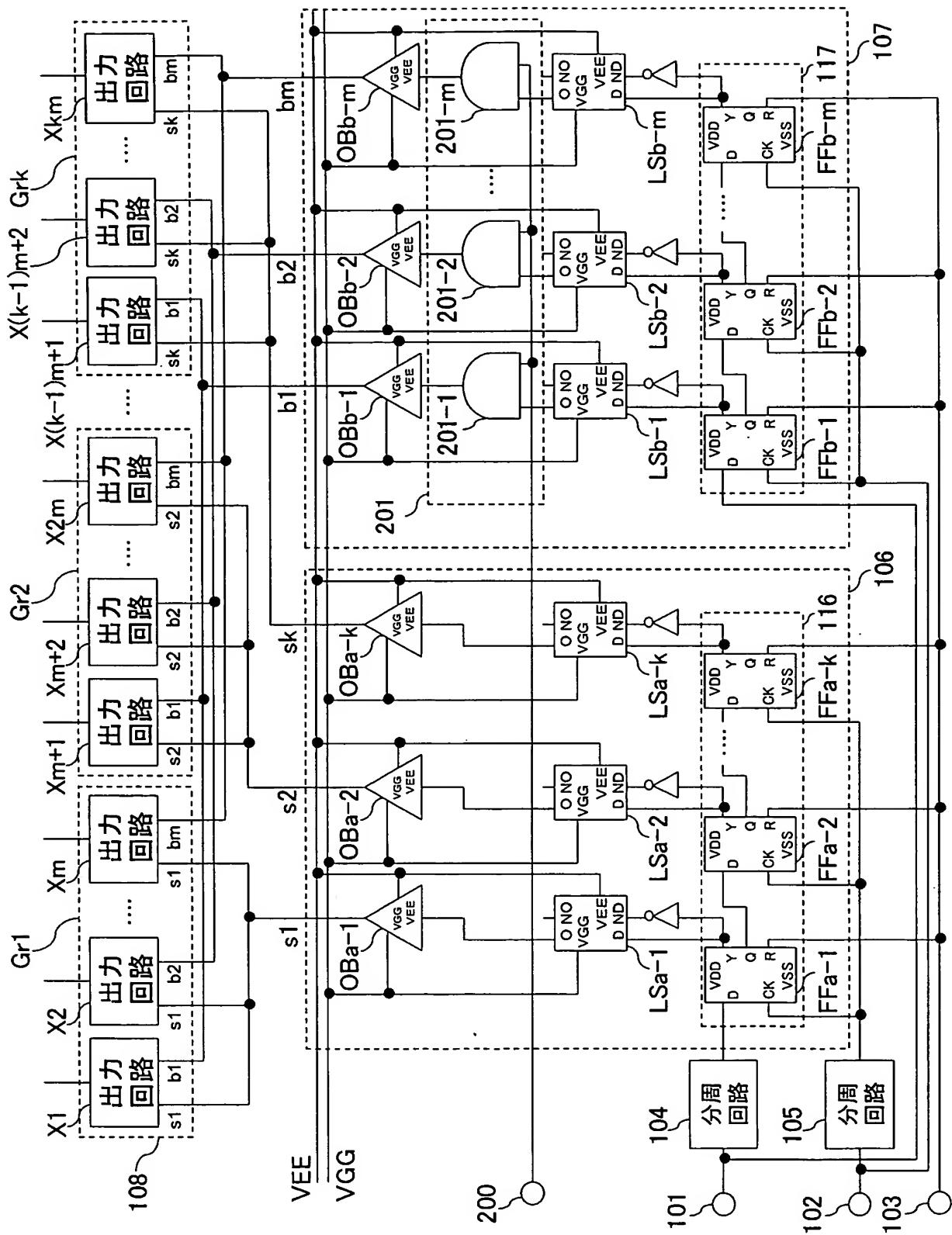
[图6]



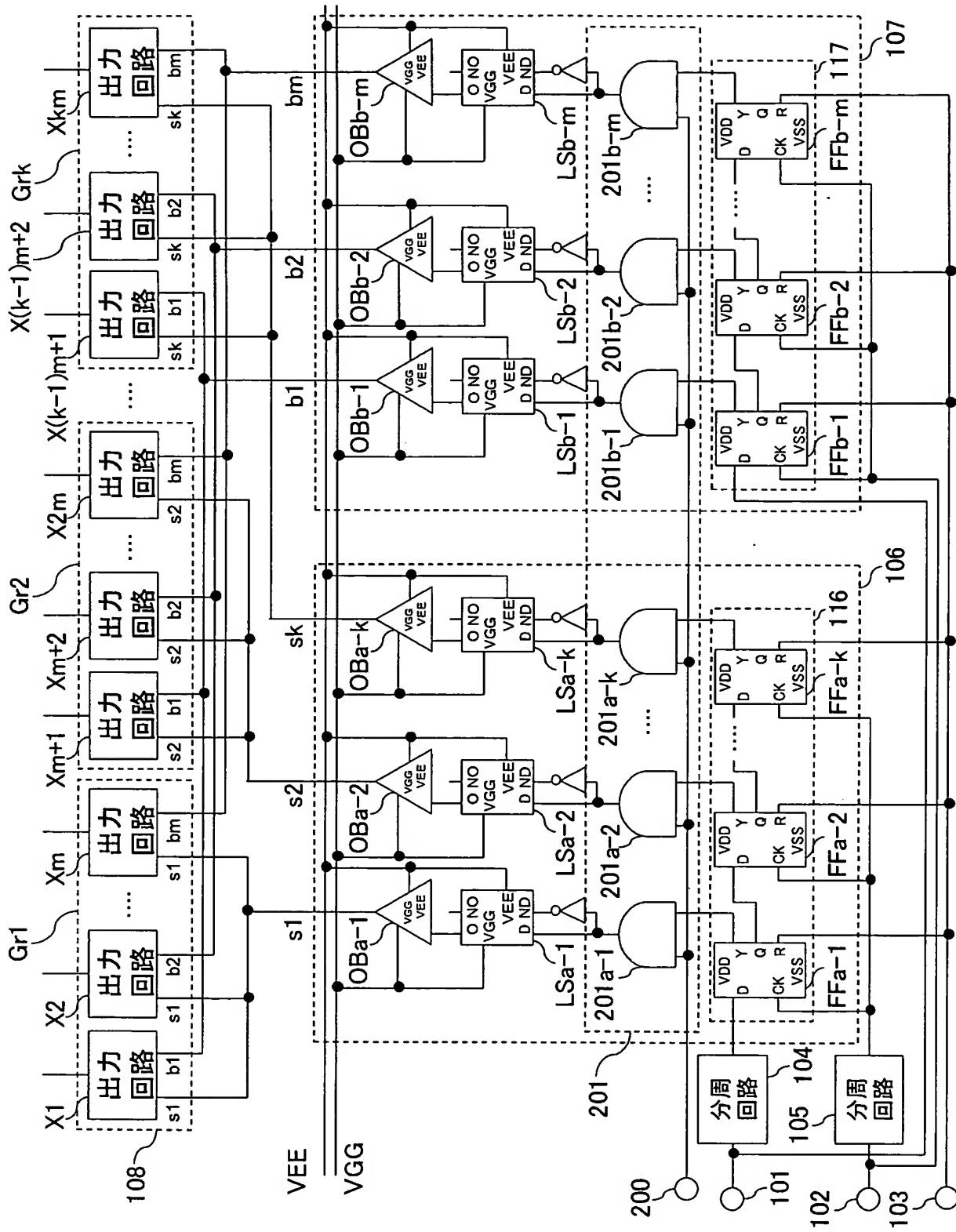
[図7]



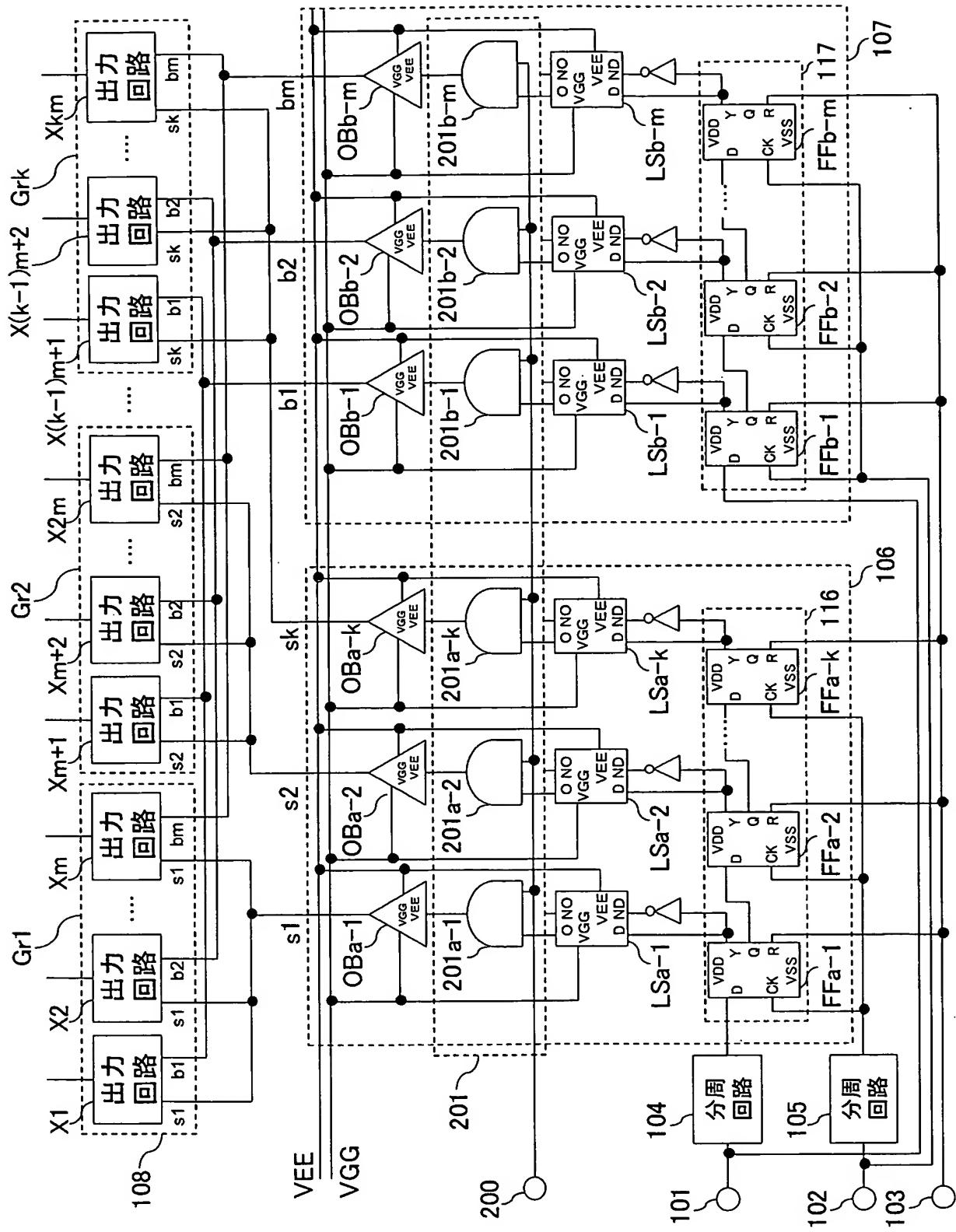
[図8]



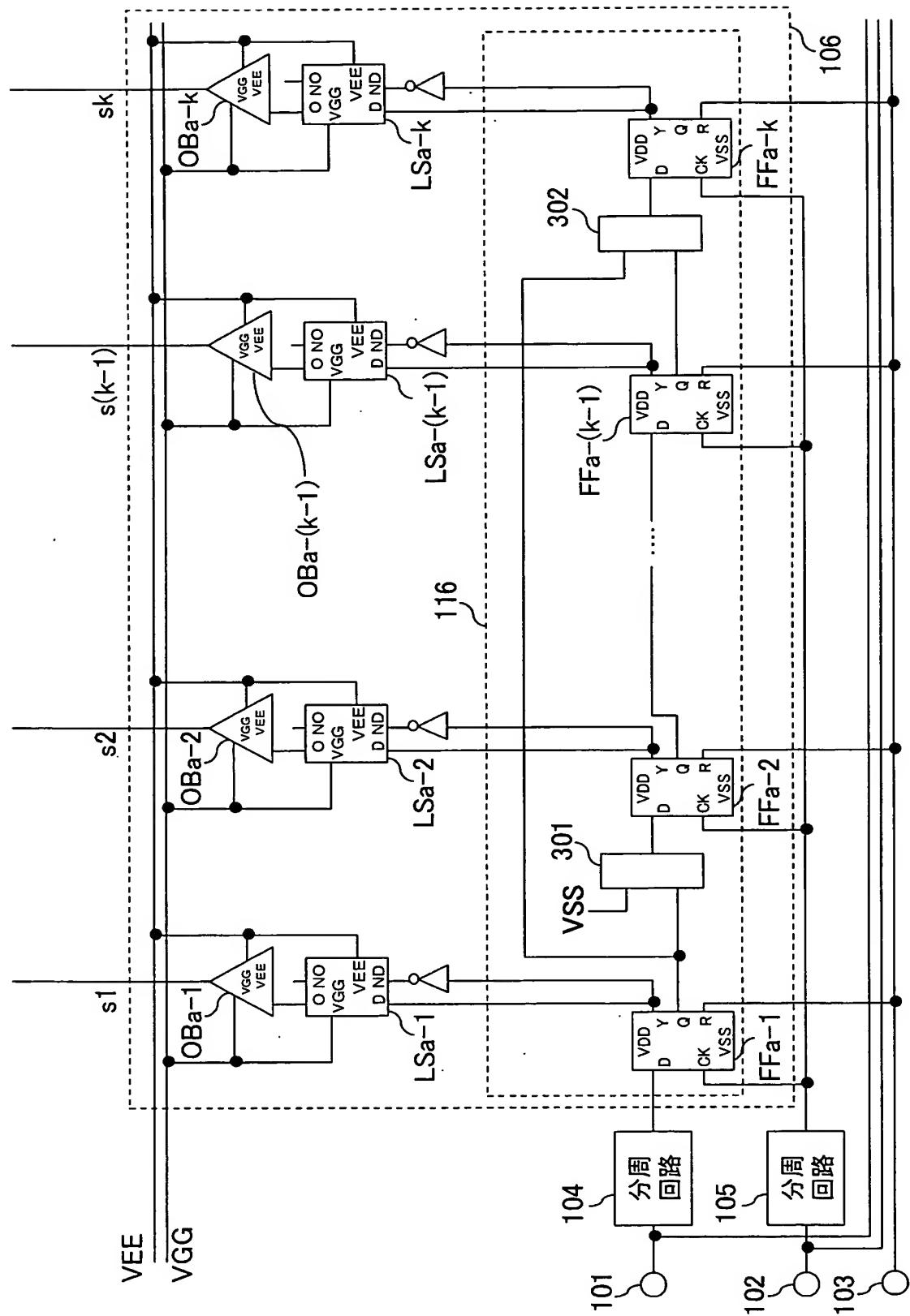
[图9]



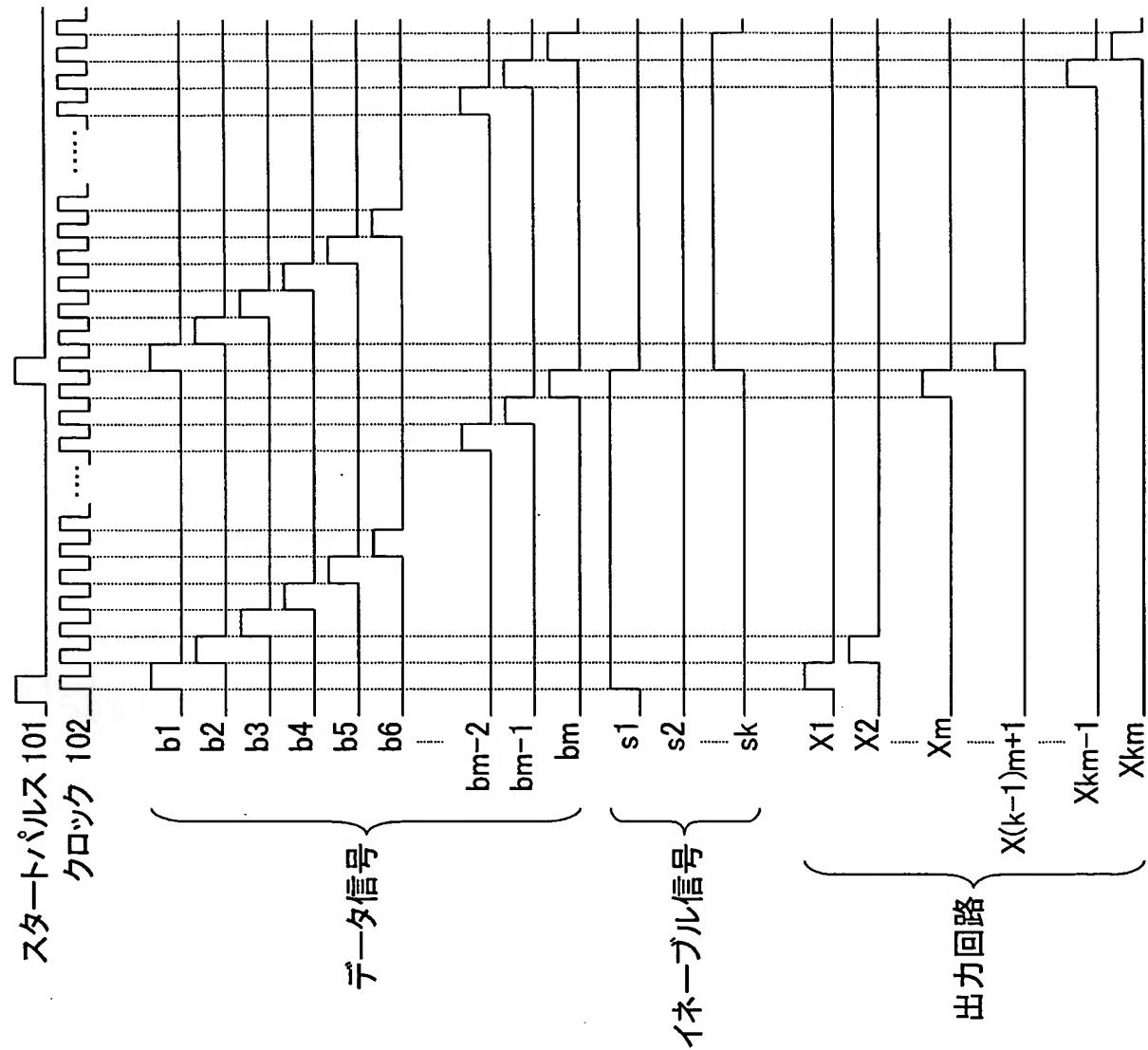
[図10]



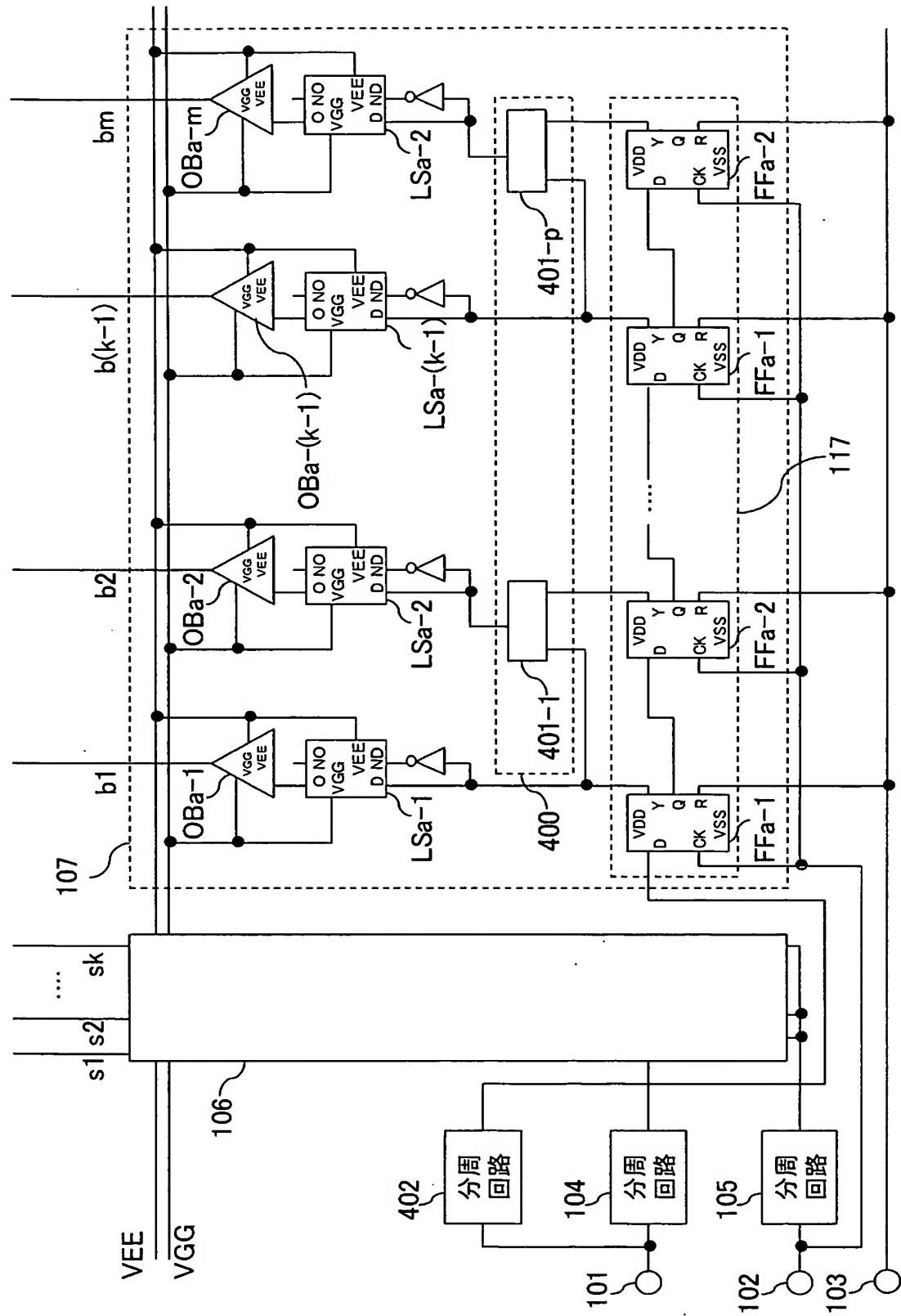
[図11]



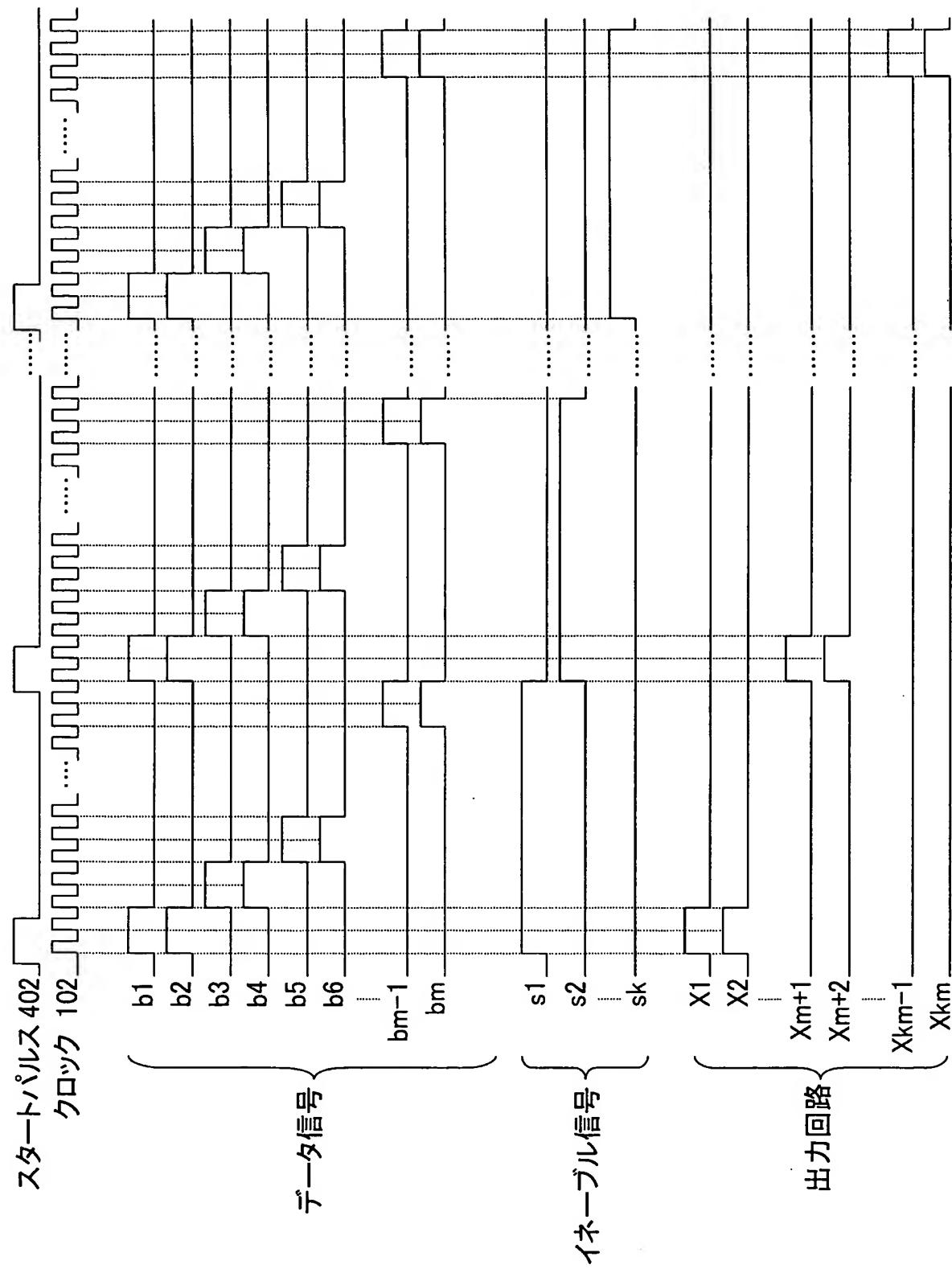
[図12]



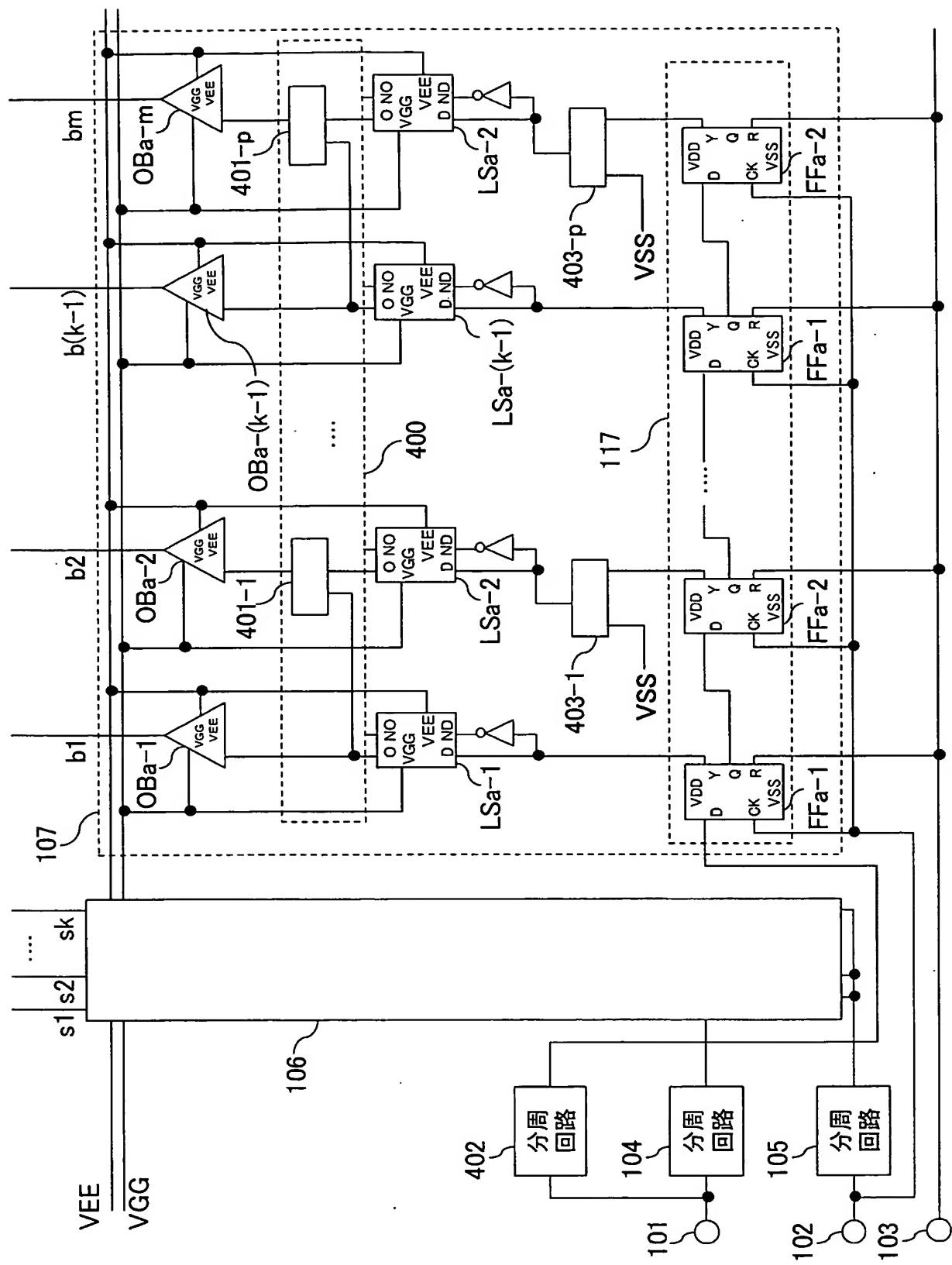
[図13]



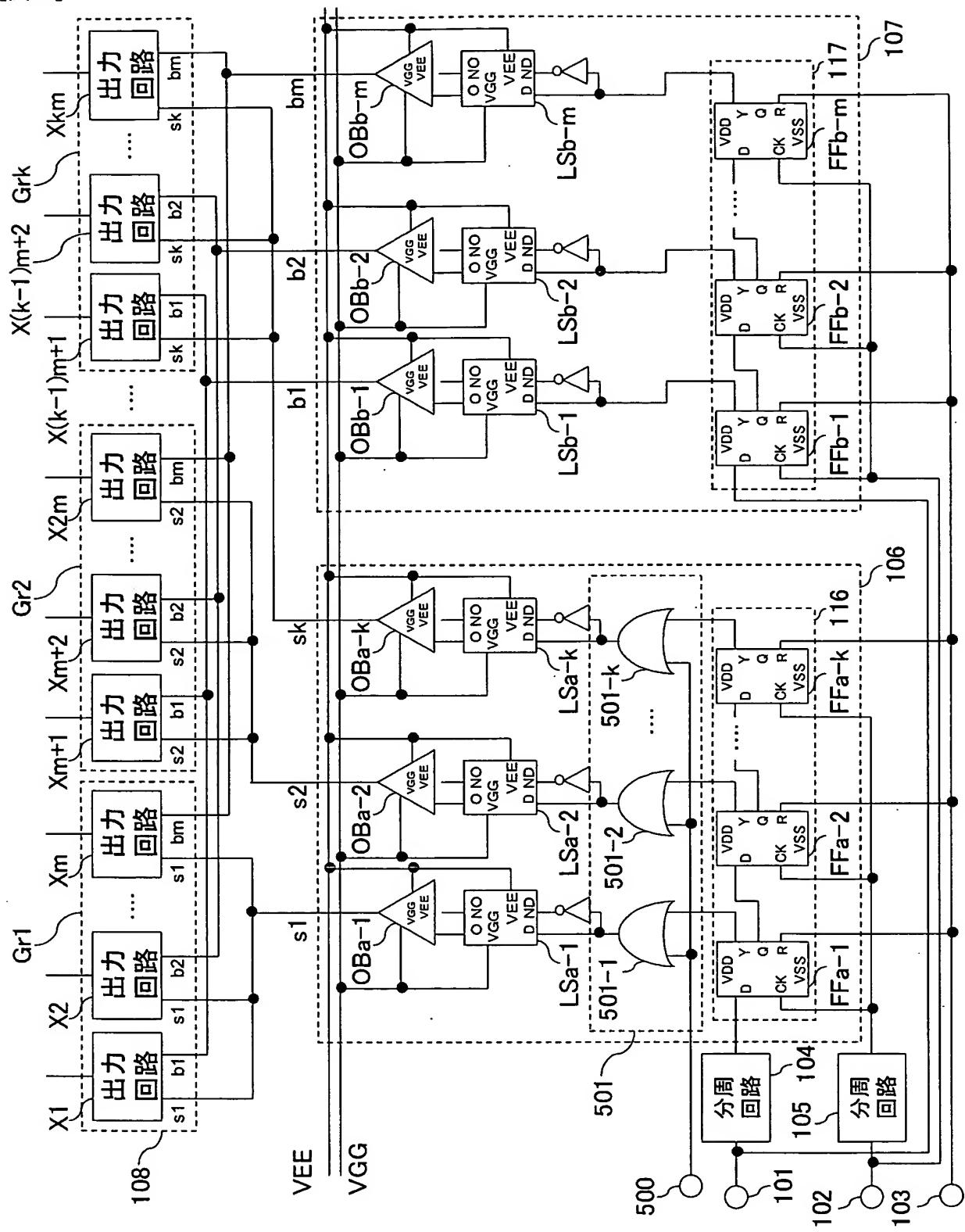
[図14]



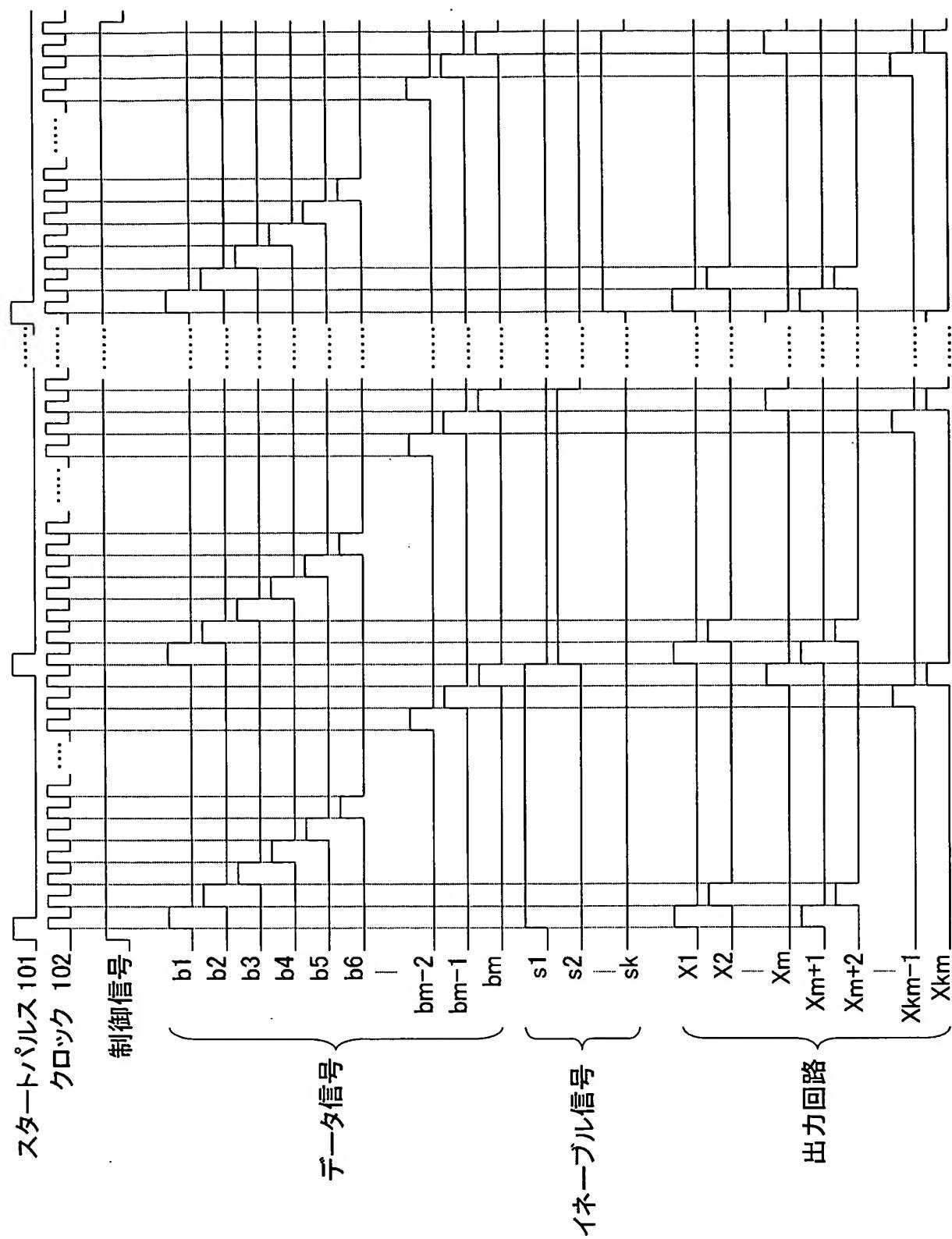
[図15]



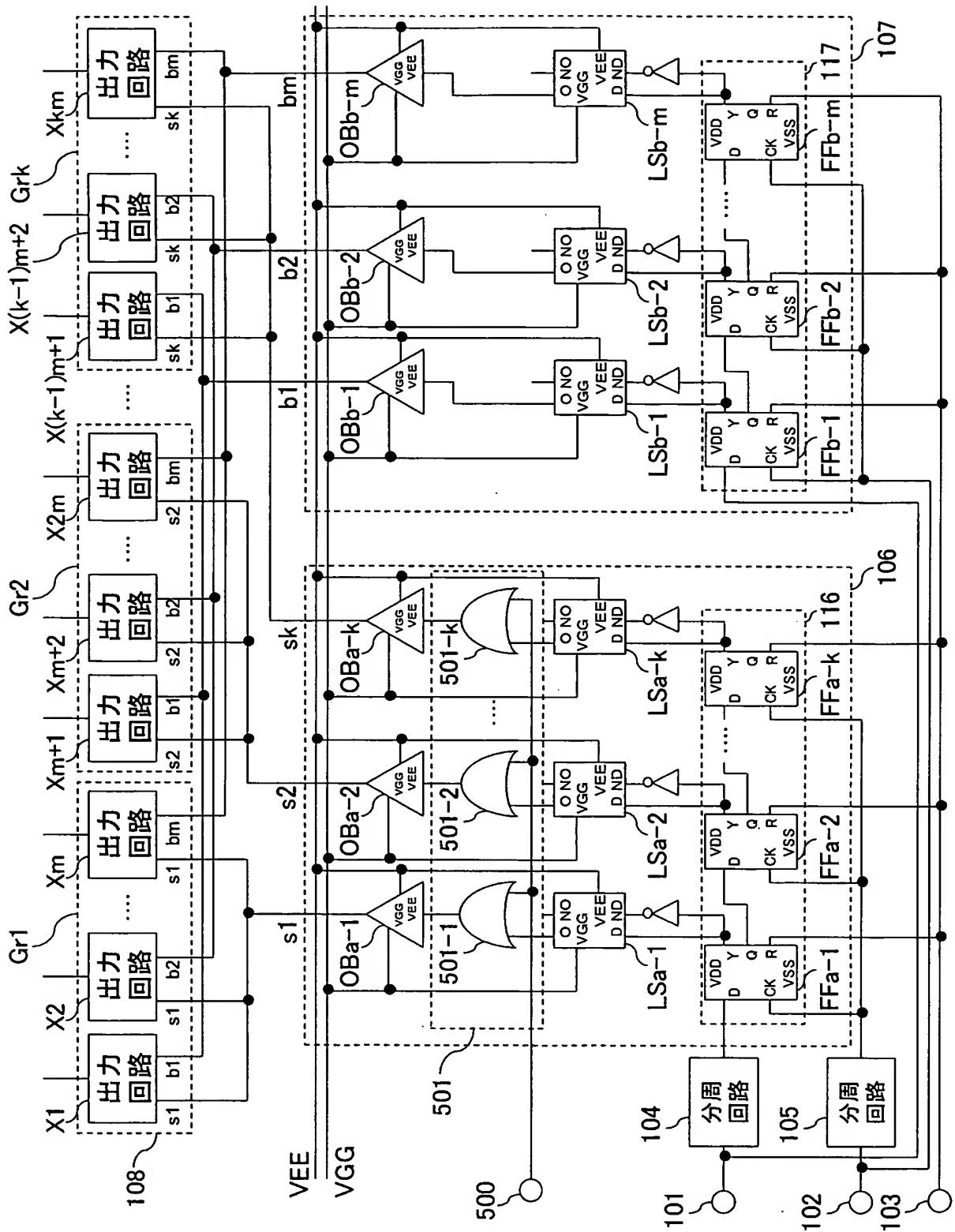
[図16]



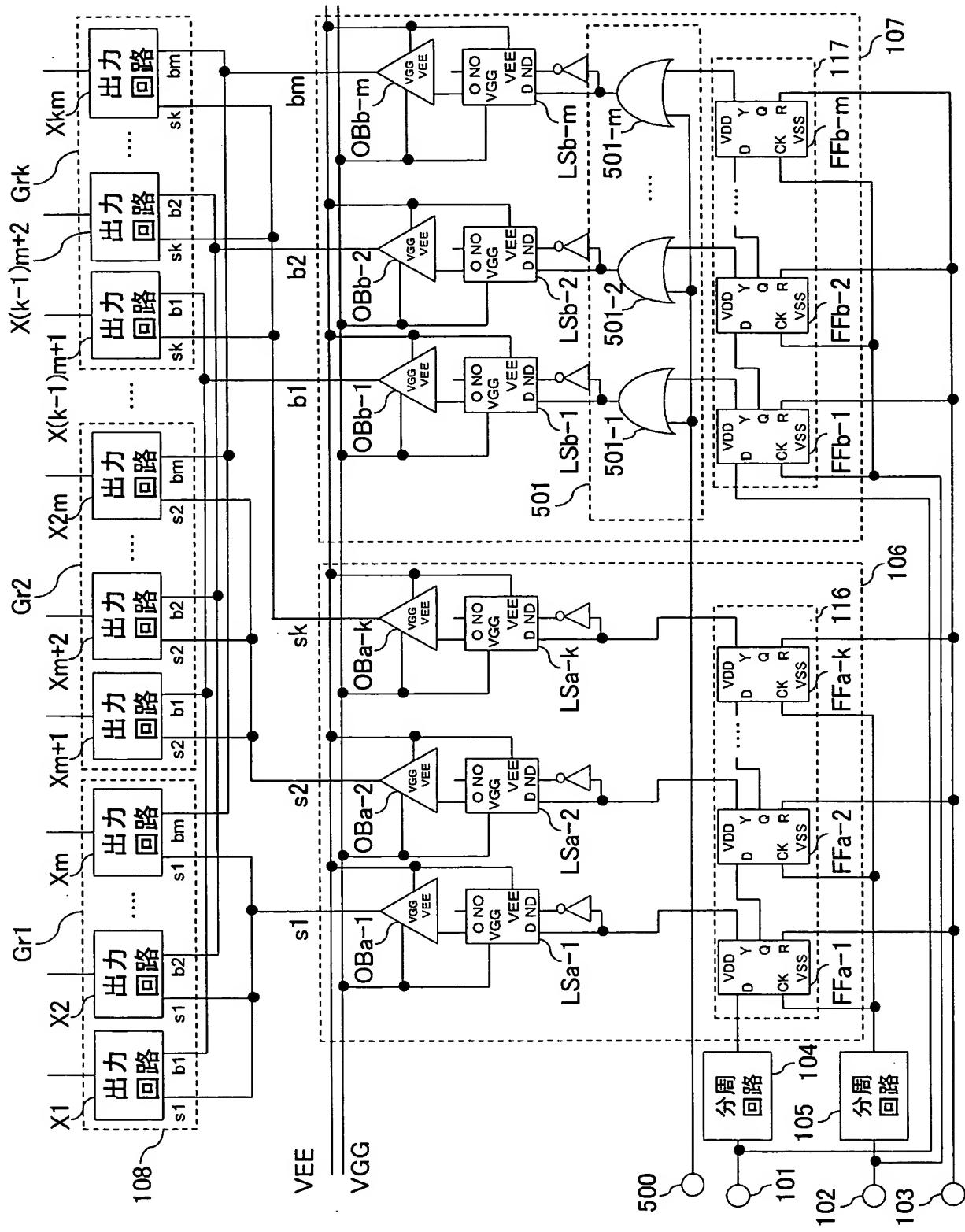
[図17]



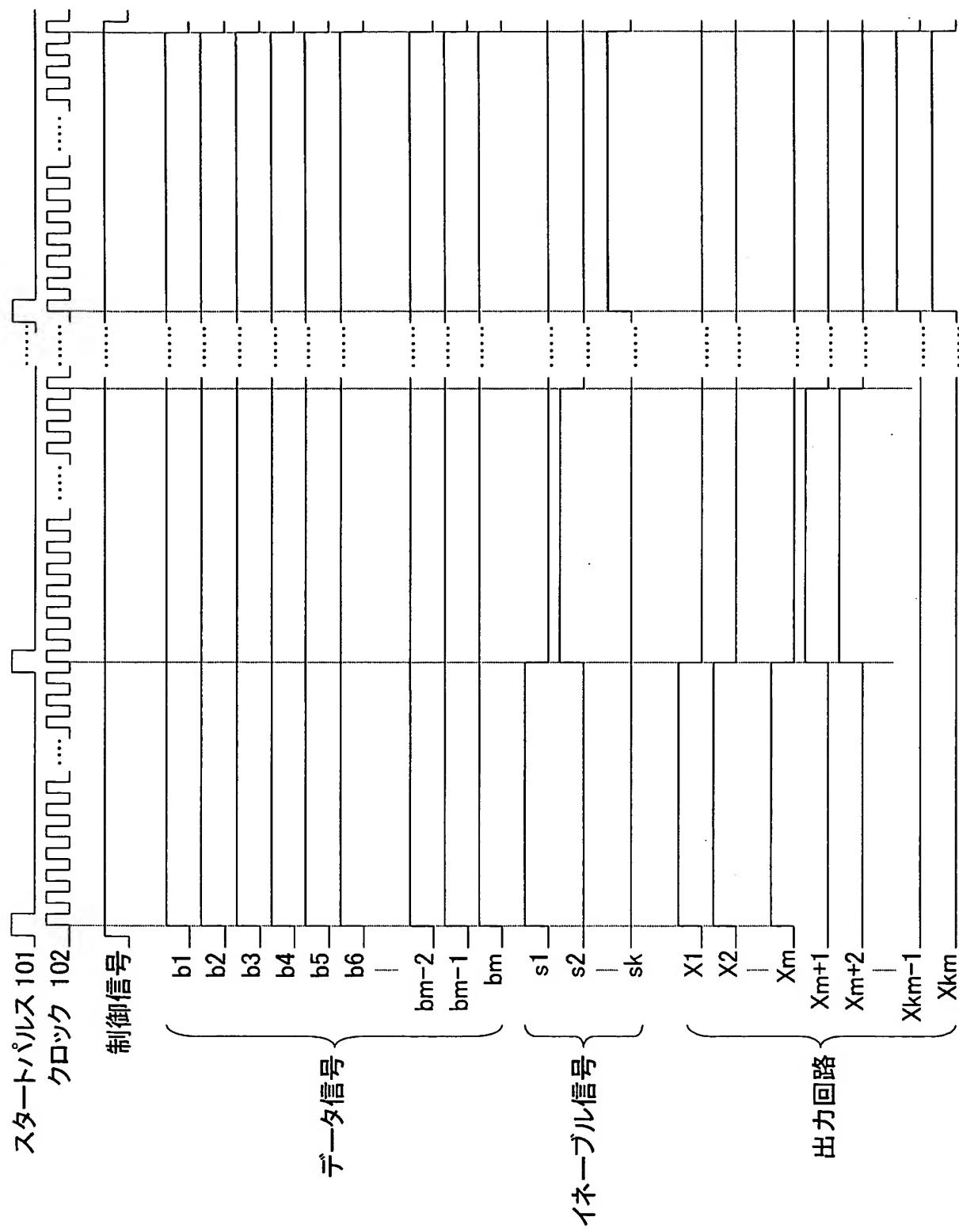
[ 18]



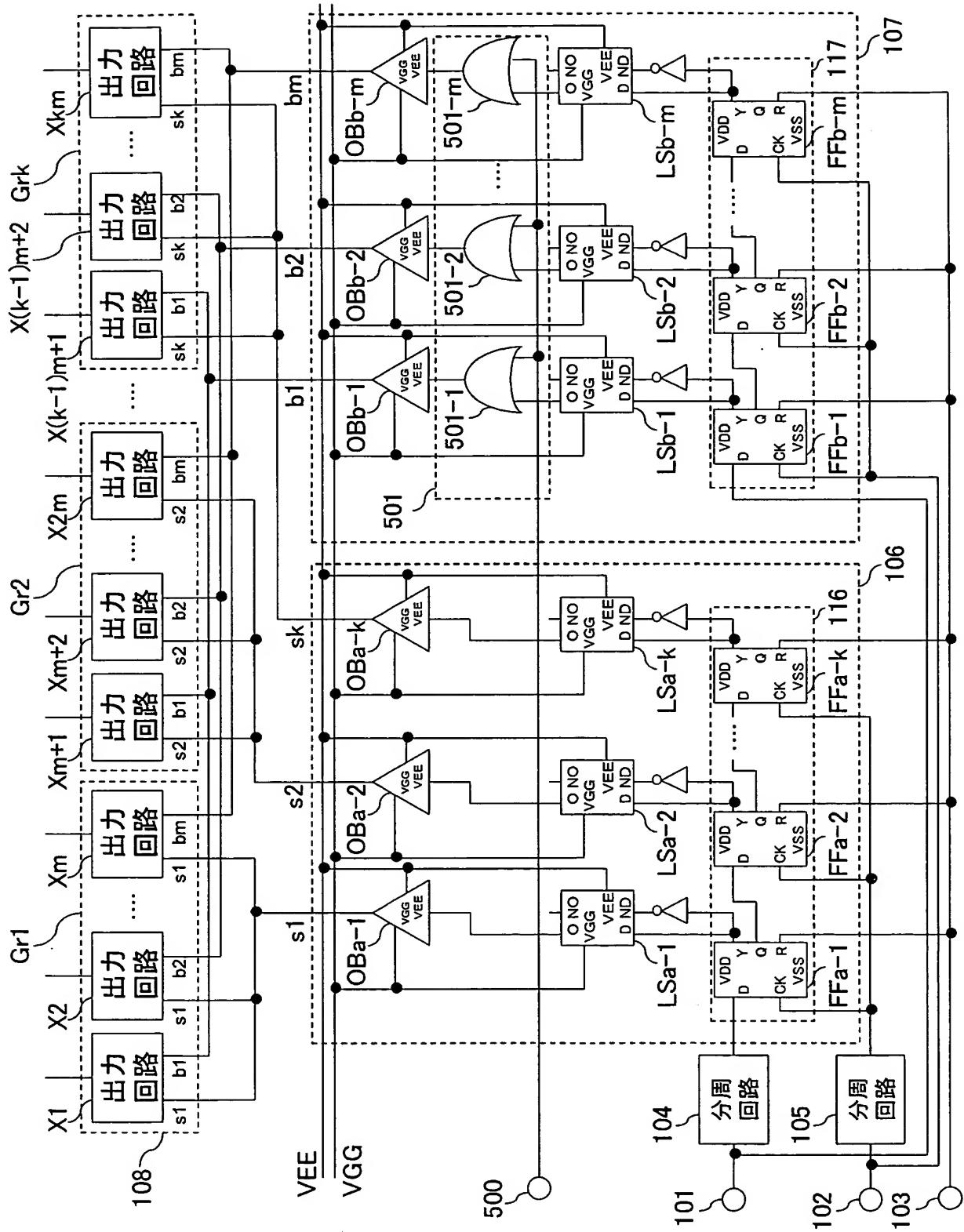
[図19]



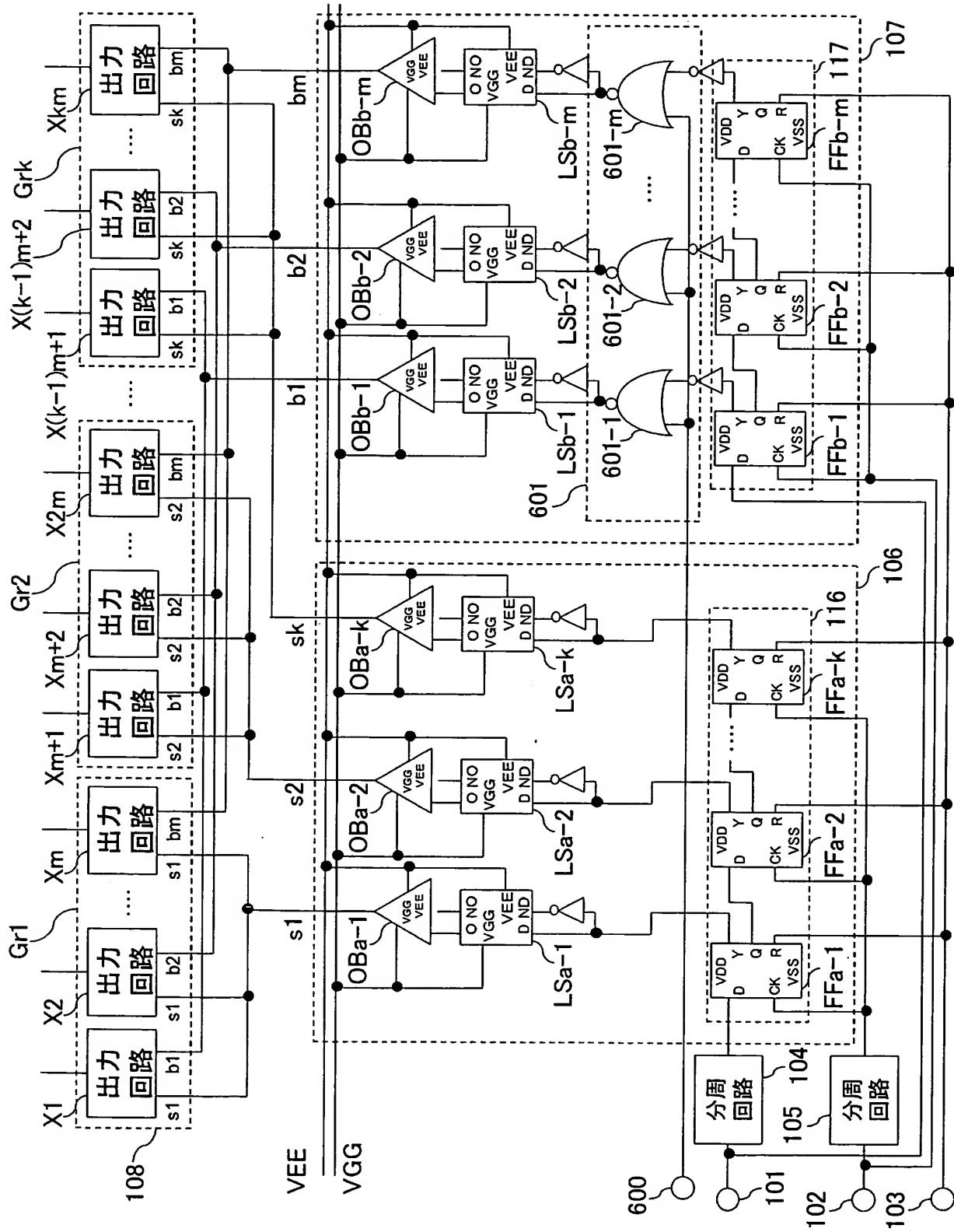
[図20]



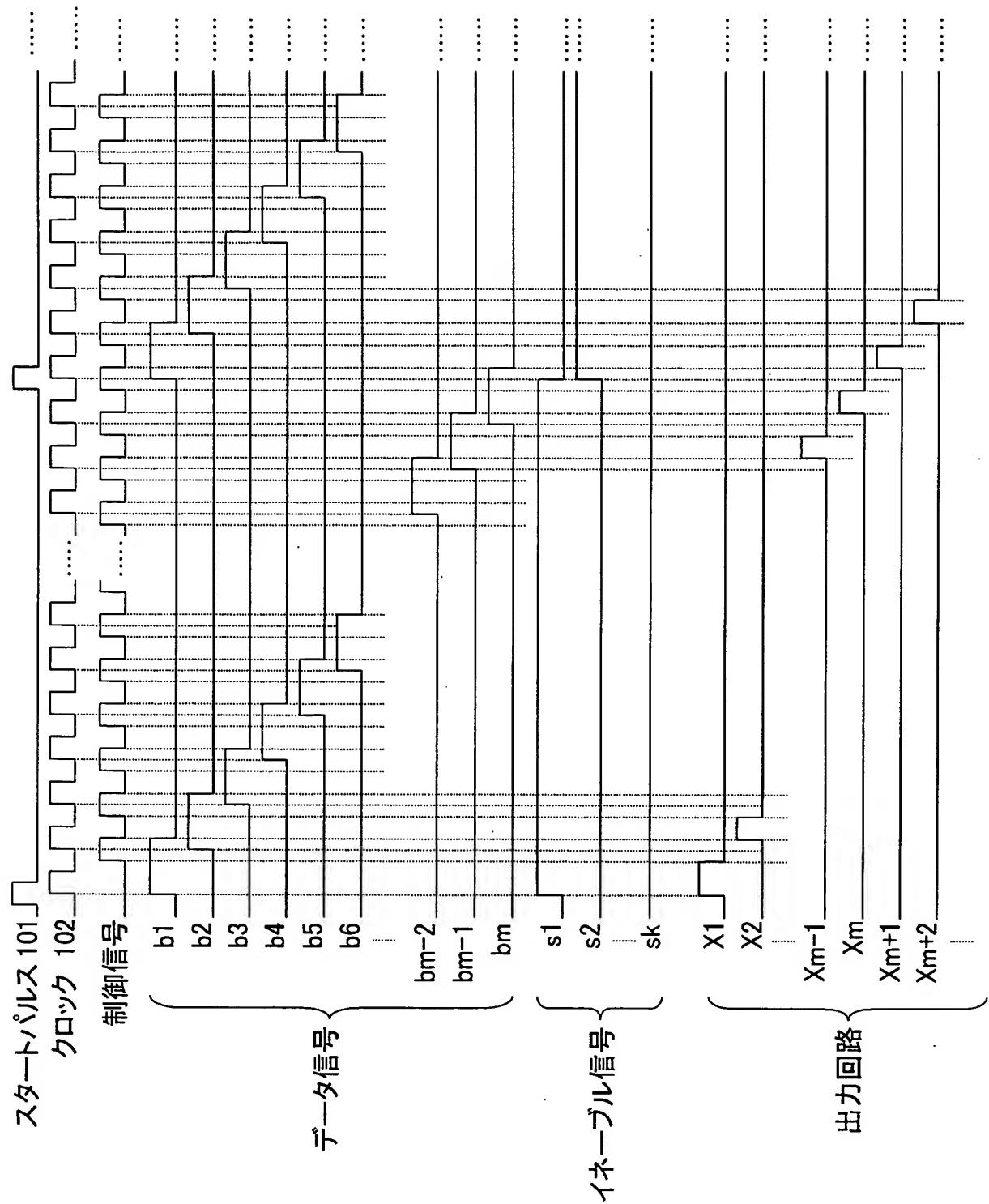
[図21]



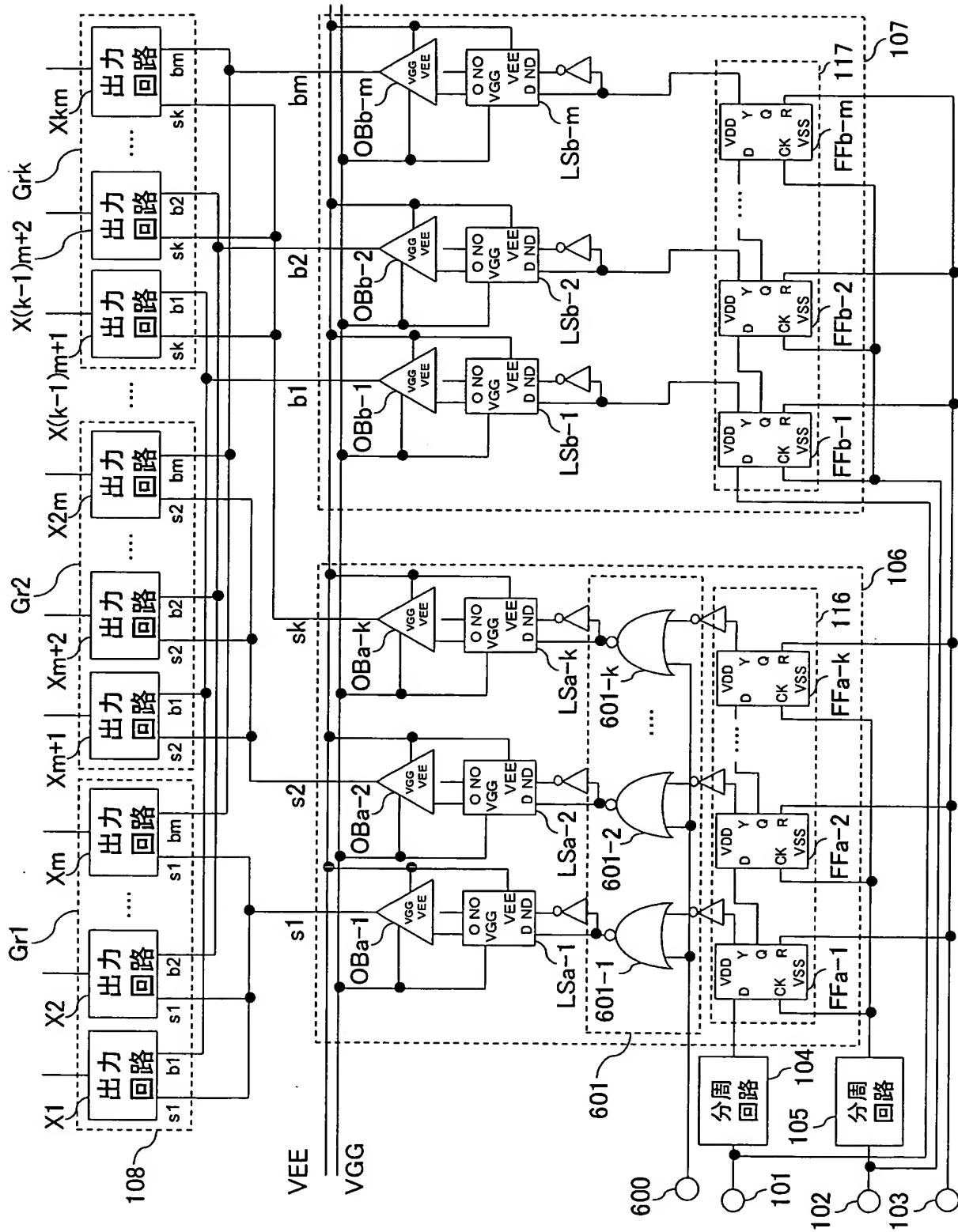
[図22]



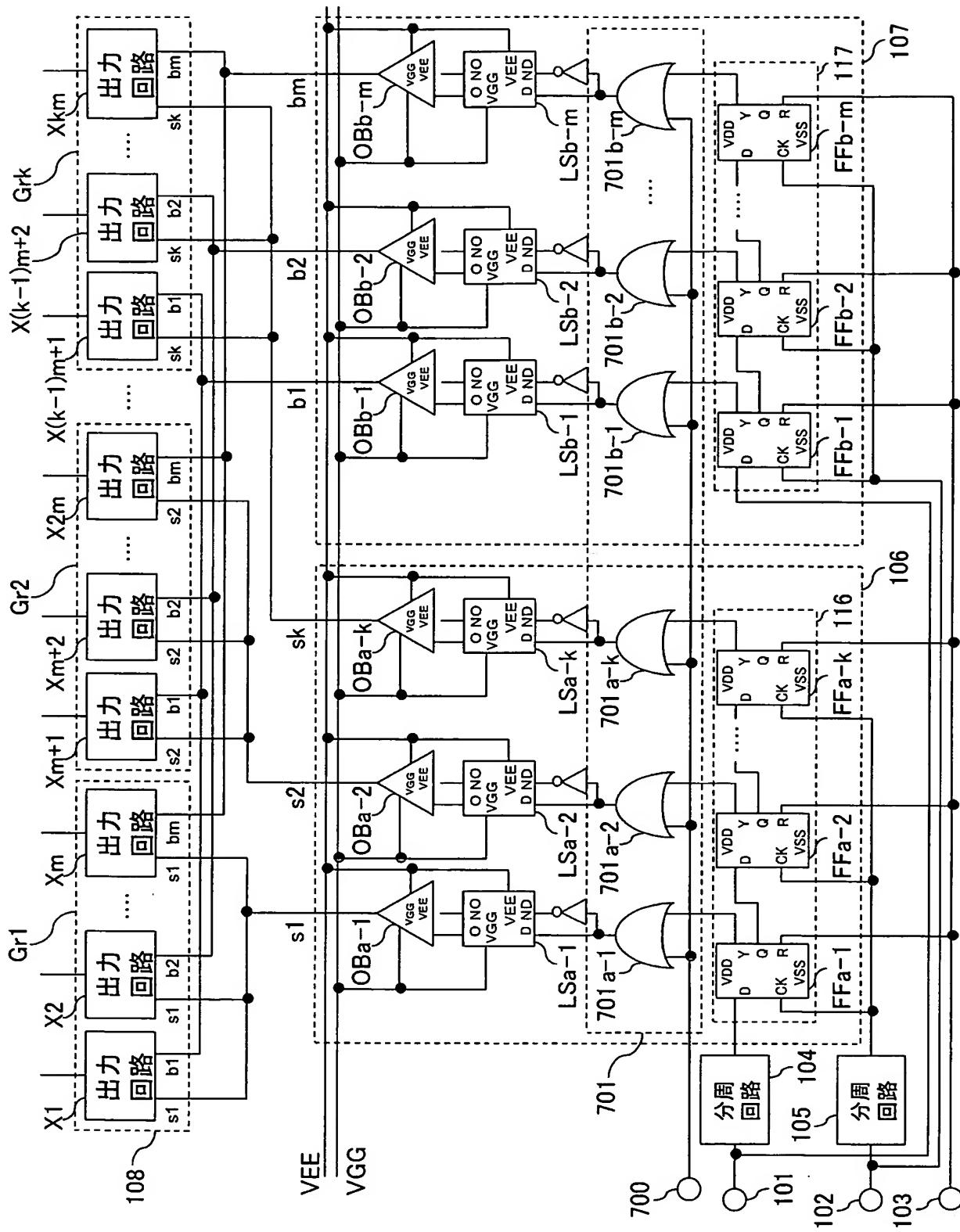
[図23]



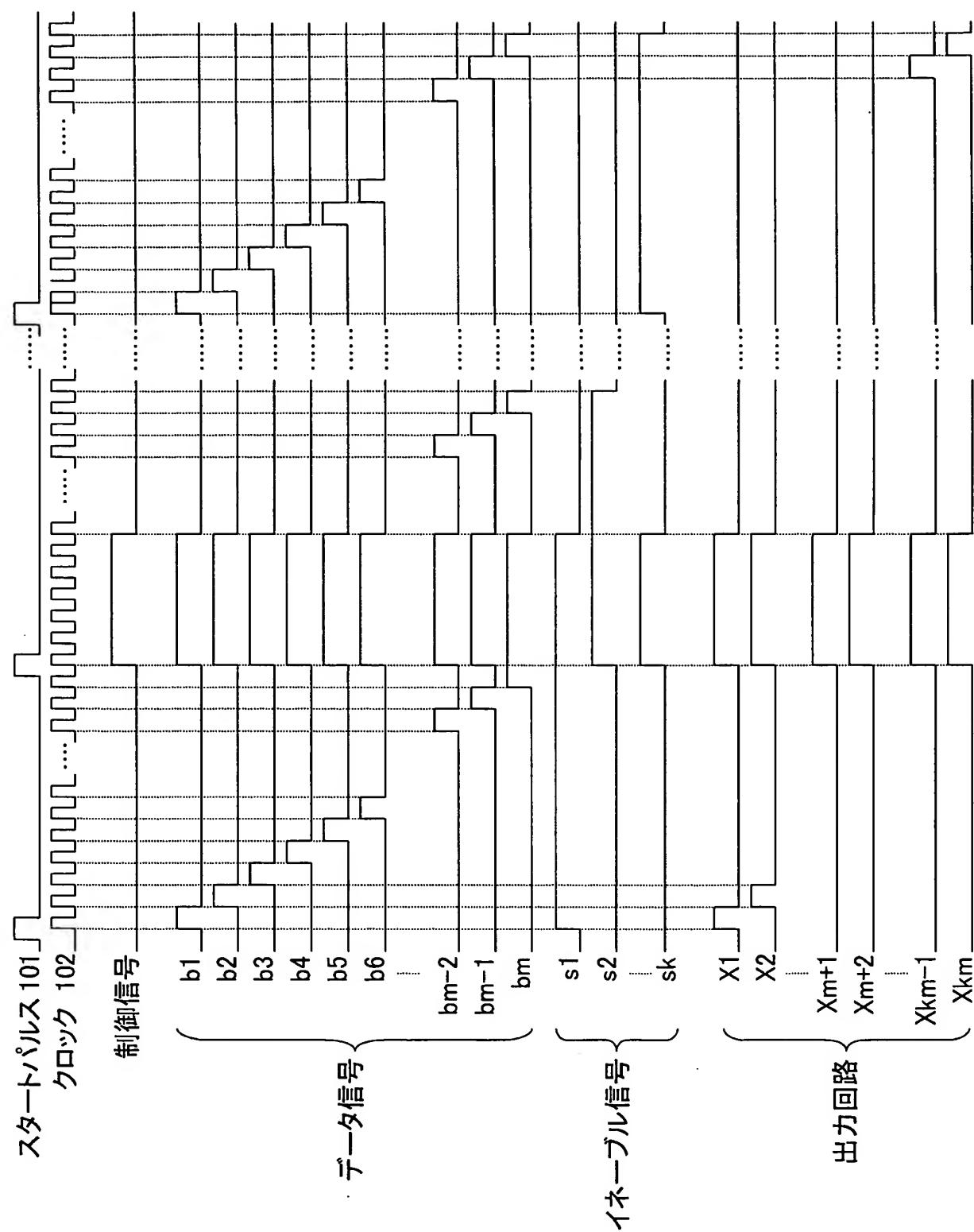
[図24]



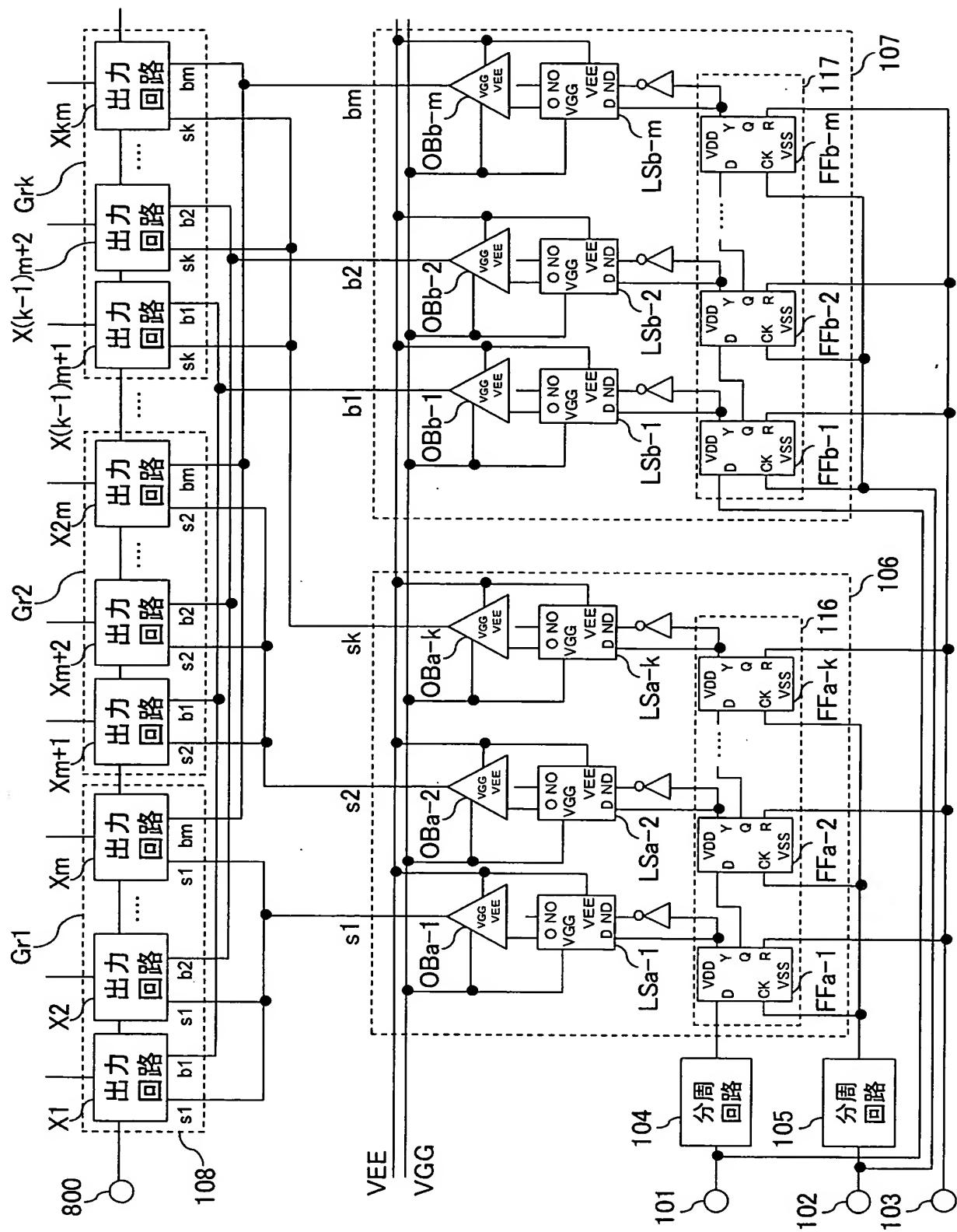
[図25]



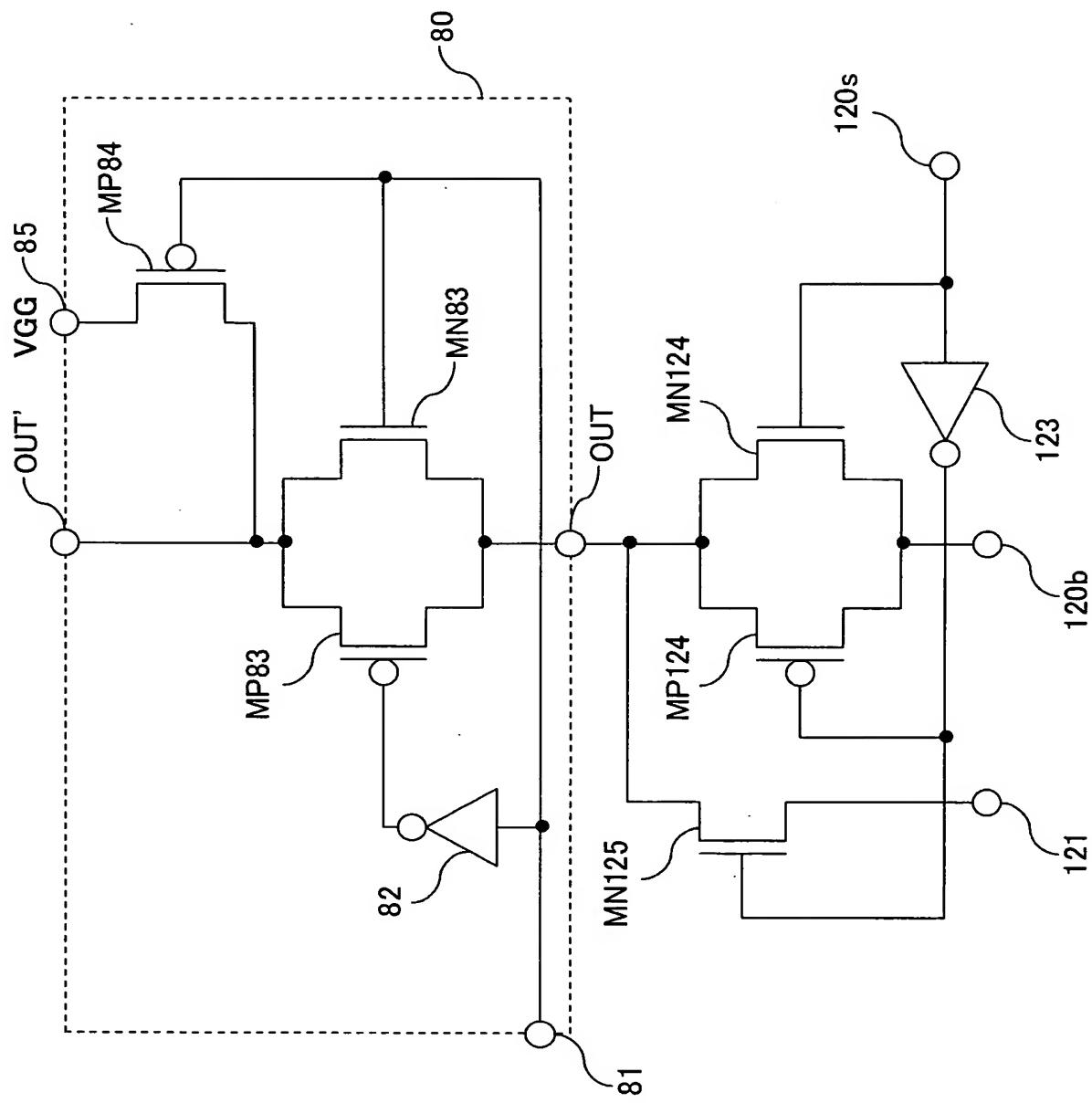
[図26]



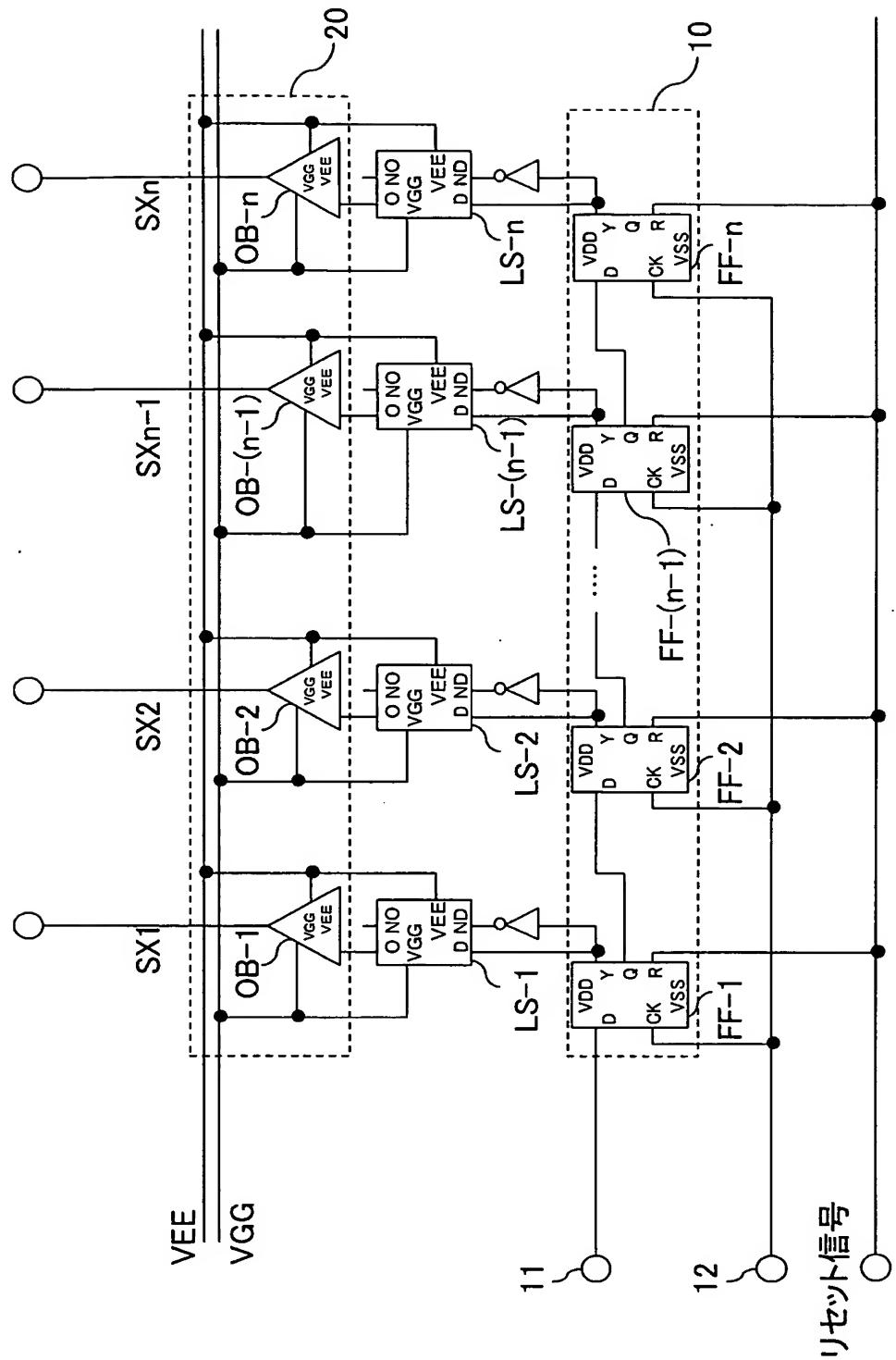
[図27]



[図28]



[図29]



[図30]

